

Capitolul 3. Analiza si proiectarea la nivel de masti a inversorului CMOS. Reguli de proiectare a mastilor

In primul capitol au fost prezentate mai multe exemple de porti logice, realizate cu ajutorul tranzistoarelor NMOS si PMOS. Tranzistorul NMOS, in calitate de comutator, conduce bine semnalele de nivel coborat si mai putin bine pe cele de nivel ridicat, in timp ce tranzistorul PMOS are o comportare complementara.

Capitolul de fata urmareste prezentarea functionarii portilor CMOS, avand ca exemplu inversorul, pentru analiza. De asemenea, inversorul va fi utilizat pentru prezentarea proiectarii mastilor necesare in procesul de realizare a diverselor dispozitive pe un substrat de siliciu monocristalin.

Vor fi examinate regulile de proiectare si scopul acestora. Se vor face exemplificari pentru un proces CMOS caracterizat printr-o rezolutie de $0,8 \mu\text{m}$. Desigur, folosind un alt set de reguli de proiectare, se pot realiza proiecte corespunzatoare unor procese tehnologice mai noi.

De asemenea, se vor trece in revista aspectele electronice de baza privitoare la poarta logica elementara.

3.1. Analiza functionarii.

3.3.1. Caracteristicile de curent continuu.

In figura de mai jos (Fig. 3.1) se prezinta schema unui inversor CMOS. Acesta este compus din doua tranzistoare cu canal indus PMOS si NMOS, conectate in serie intre V_{DD} si GND. Tranzistorul PMOS are conectatae: sursa la V_{DD} , drena la V_{OUT} si substratul la V_{DD} , in timp ce tranzistorul NMOS are conectate sursa si substratul la GND, si drena la V_{OUT} . Portile celor doua tranzistoare sunt conectate la V_{IN} .

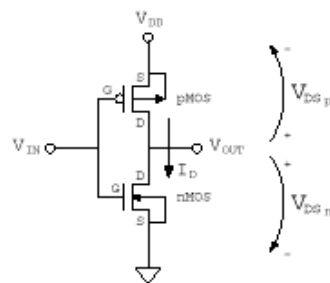
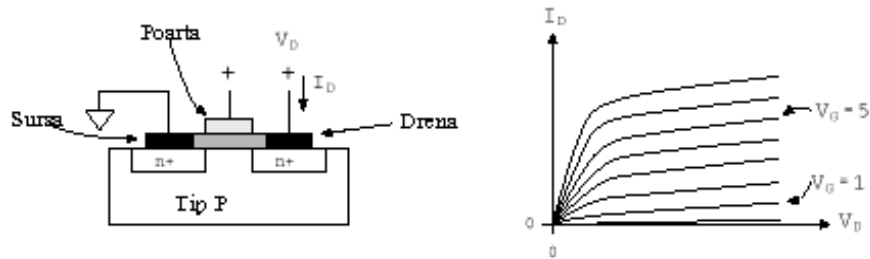


Fig.3.1.

Pentru analiza functionarii in curent continuu se vor examina caracteristicile curent-tensiune pentru cele doua tipuri de tranzistoare NMOS si PMOS, din figura 3.2. Se considera ca la un tranzistor de tip N curentul intra prin dreana, iar la un tranzistor P curentul iese prin dreana.

NMOS



PMOS

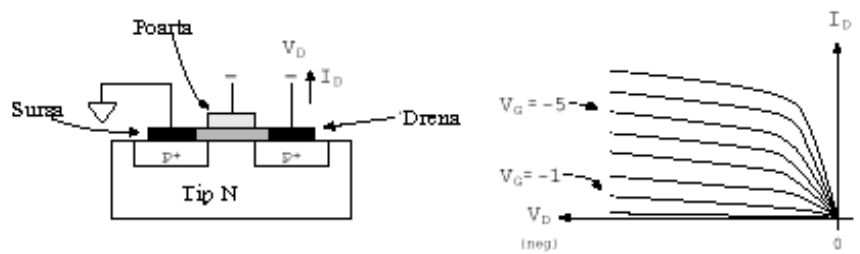


Fig. 3.2.

In continuare se vor suprapune caracteristicile I-V ale celor doua tipuri de dispozitive pentru a efectua o analiza a sarcinii. Plecand de la schema inductorului se constata ca acelasi curent ($I_{DSN} = I_{SDP}$) traverseaza, in acelasi sens, cele doua tranzistoare. Din acest motiv caracteristicile I-V ale celor doua tranzistoare pot folosi aceeasi axa pentru curenti. V_{DD} se poate scrie astfel:

$$V_{DD} = V_{DSN} + (-V_{DSP})$$

Rescriind ecuatia:

$$V_{DSP} = V_{DSN} - V_{DD}$$

se observa ca tensiunea drenei tranzistorului PMOS difera de cea a tranzistorului NMOS cu o valoare egala cu V_{DD} , ceea ce permite utilizarea aceleiasi axe pentru tensiuni, inasa deplasata cu V_{DD} . Cele doua familii de caracteristici I-V sunt prezentate mai jos (Fig. 3.3):

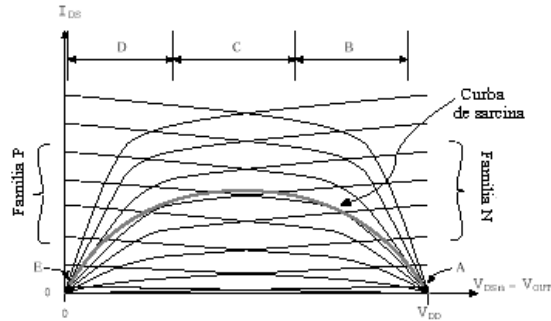


Fig. 3.3

In continuare se urmareste gasirea caracteristicii de transfer. Pe curba de sarcina vor fi evidentiata doua cazuri. Primul caz apare cand $V_{IN} = V_{DD}$, care este marcat pe figura de mai jos cu E. In acest punct tranzistorul P este taiat, iar tranzistorul N functioneaza in regiunea liniara, ceea ce va plasa inversorul in regiunea E. Al doilea caz apare atunci cand $V_{IN} = GND$, situatie marcata cu A. In acest punct tranzistorul P functioneaza in regiunea liniara, tranzistorul N este taiat, iar inversorul se gaseste in regiunea A. Analiza poate fi continuata pentru toate punctele caracteristicii de transfer. Curba de sarcina (Fig.3.4) va reprezenta solutia pentru familiile de caracteristici I-V ale celor doua tipuri de tranzistoare. In aceasta analiza, in curent continuu, s-a neglijat curentul, care ar iesi sau intra prin terminalul notat cu V_{OUT} .

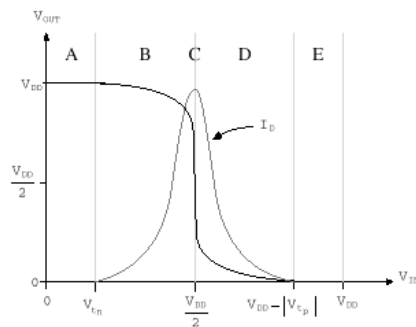


Fig.3.4

Caracteristica de transfer de mai sus are cinci regiuni distincte marcate prin A, ..., E, care vor fi analizate in continuare.

Regiunea A: Tranzistorul N este taiat, tranzistorul P este in regiunea liniara:

$$V_{IN} < V_{tn}$$

$$V_{OUT} = V_{DD}$$

Regiunea B: Tranzistorul P ramane in regiunea liniara, iar tranzistorul N trece in saturatie. Astfel, primul tranzistor se comporta ca o rezistenta, iar cel de-al doilea opereaza ca o sursa de curent:

$$V_{tn} \leq V_{IN} < V_{DD}/2$$

$$V_{OUT} = (V_{IN} - V_{tp}) + \left[(V_{IN} - V_{tp})^2 - 2(V_{IN} - V_{DD}/2 - V_{tp}) V_{DD} - \beta_n/\beta_p (V_{IN} - V_{tn})^2 \right]^{1/2}$$

Regiunea C: Expresia pentru V_{OUT} se poate stabili prin egalarea curentilor de drena pentru cele doua tranzistoare. Tranzistorul N ramane in saturatie, iar tranzistorul P trece in saturatie. Panta mare a caracteristicii face ca iesirea sa varieze foarte mult la o mica modificare a intrarii.

$$V_{IN} = V_{DD}/2$$

$$V_{IN} - V_{tn} < V_{OUT} < V_{IN} - V_{tp}$$

Regiunea D: Tranzistorul PMOS ramane in saturatie, jucand rolul unei surse de curent, iar tranzistorul NMOS trece in regiunea liniara, comportandu-se ca o rezistenta.

$$V_{DD}/2 < V_{IN} \leq V_{DD} - V_{tp}$$

$$V_{OUT} = (V_{IN} - V_{tn}) + \left[(V_{IN} - V_{tn})^2 - \beta_p/\beta_n (V_{IN} - V_{DD} - V_{tp})^2 \right]^{1/2}$$

Regiunea E: Tranzistorul NMOS ramane in regiunea liniara, iar tranzistorul PMOS este taiat.

$$V_{IN} > V_{DD} + V_{tp}$$

$$V_{OUT} = 0$$

3.1.2 Raportul β_n / β_p .

Atunci cand se proiecteaza un inversor este de dorit ca procesul de comutare sa aibe loc la o valoare egala cu jumatatea tensiunii de alimentare. Astfel, comutarea trebuie sa aibe loc la $V_{IN} = V_{DD}/2$. Punctul la care inversorul comuta este dependent de valorile amplificatorilor

tranzistoarelor (β). Valoarea lui β este calculata cu ajutorul expresiei:

$$\beta = (\mu \varepsilon / t_{ox}) * W/L$$

unde: μ este mobilitatea, ε permitivitatea oxidului, t_{ox} este grosimea stratului de oxid, W este latimea canalului, iar L este lungimea canalului. Daca se considera raportul β_n / β_p , pentru

3.1.3 Marginea de zgomot.

Marginea de zgomot a inversorului poate fi stabilita pe baza caracteristicii de transfer. Marginea de zgomot reprezinta abaterea maxima a unui semnal fata de valoarea normala, inainte ca el sa fie recunoscut ca un alt semnal. Pentru calculul marginii de zgomot se folosesc urmatoarele notatii, conform desenului de mai jos (Fig.3.5.):

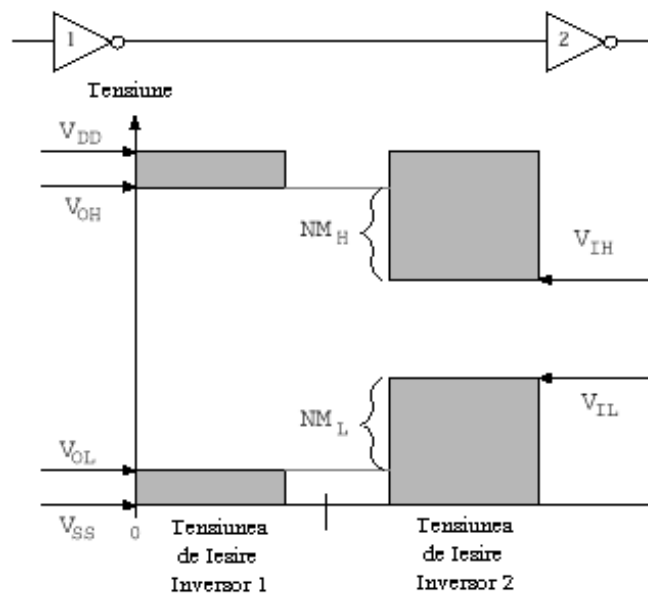


Fig. 3.5.

- V_{IL} – tensiunea cea mai mare, care poate fi considerata ca intrare de nivel coborat,
- V_{IH} – tensiunea cea mai coborata, care poate fi considerata intrare de nivel inalt,
- V_{OL} – tensiunea cea mai coborata, care poate fi generata ca iesire,
- V_{OH} – tensiunea cea mai ridicata, care poate fi generata ca iesire.

Valorile V_{IL} and V_{IH} apar acolo unde caracteristica de transfer are amplificarea egala cu unu.

Acestea sunt punctele de pe caracteristica de transfer unde zgomotul are efect critic. Intrucat amplificarea este egala cu unu, in aceste doua puncte iesirea se modifica in aceeasi masura ca si intrarea. Daca tensiunea semnalului de zgomot este mai mica decat V_{IH} , pentru un semnal de nivel ridicat, iesirea va comuta de la nivel coborat la nivel ridicat. Daca tensiunea semnalului de zgomot este mai mare decat V_{IL} , pentru un semnal de nivel coborat, iesirea va comuta de la nivel ridicat la nivel coborat, datorita amplificarii supraunitare.

Marginile de zgomot pot fi definite astfel:

- $N_{ML} = V_{IL} - V_{OL}$ – pentru valoare coborata.
- $N_{MH} = V_{OH} - V_{IH}$ – pentru valoare ridicata.

Valoarea lui N_{ML} si N_{MH} este de aproximativ 2V, pentru $\beta_n / \beta_p = 1$, $V_m = |V_{tp}| = 1$ V si $V_{DD} = 5$ V.

Este interesant de observat ca marginea de zgomot va descreste pe masura ce V_{DD} descreste. Acest fapt poate fi constatat in ecuatia ce descrie cele doua margini de zgomot. De asemenea, tensiunile de prag sunt deja foarte apropiate.

3.2 Proiectarea mastilor/sabloanelor.

3.2.1 Sabloanele de baza.

Schema unui inversor CMOS a fost prezentata intr-un paragraf anterior. In continuare se vor examina, din punct de vedere geometric, sabloanele necesare pentru realizarea unui inversor CMOS, cu ajutorul unui proces de fabricatie plecand de la un substrat de tip P. Fabricarea dispozitivelor VLSI implica crearea mai multor straturi din materiale cu diverse proprietati electrice, depuse unul peste celalalt. In figurile de mai jos se prezinta:

- codul culorilor folosit pentru identificarea diverselor straturi (Fig.3.6),
- geometria simplificata a unui inversor CMOS, la nivelul diverselor straturi (Fig.3.7),
- sectiuni transversale prin structura inversorului CMOS (Fig. 3.8).



Fig. 3.6.

Substratul este de tip P. Pentru crearea tranzistorului de tip P se realizeaza, printr-un proces de difuzie, o insula N (Nwell). Zonele in care vor fi plasate tranzistoarele de tip N si P vor fi dopate prin difuzie cu impuritati de tip N (N+ Diffusion) si P (P+ Diffusion). Separarea celor doua straturi de metal1 si metal2 se efectueaza printr-un strat de dioxid de siliciu. Zonele in care cele doua straturi se suprapun poarta numele de Via m1/m2.

In figura de mai jos, (Fig.3.7), tranzistorul din dreapta, de tip PMOS, este realizat pe o insula de tip N, in timp ce tranzistorul din stanga, de tip N, este creat pe substratul de tip P. La extrema dreapta se afla un strat de metal1, care asigura tensiunea de alimentare V_{DD} . Traseul de metal1, de la limita din stanga realizeaza conexiunea la masa, GND. Intrarea V_{IN} este realizata prin traseul din siliciu policristalin, care traverseaza zonele portilor celor doua tranzistoare si care este conectat la stratul de metal1, acesta din urma fiind conectat la stratul metal2.

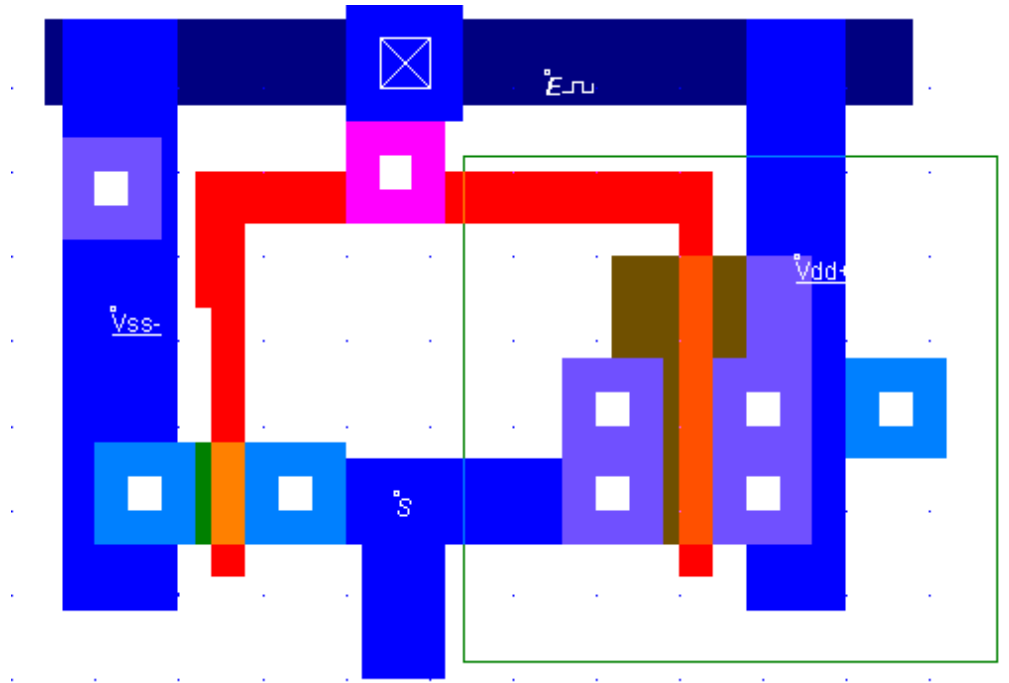


Fig. 3.8 (a) Geometria inversorului CMOS



Fig. 3.8 (b). Sectiune transversala prin structura inversorului, la nivelul metal2.

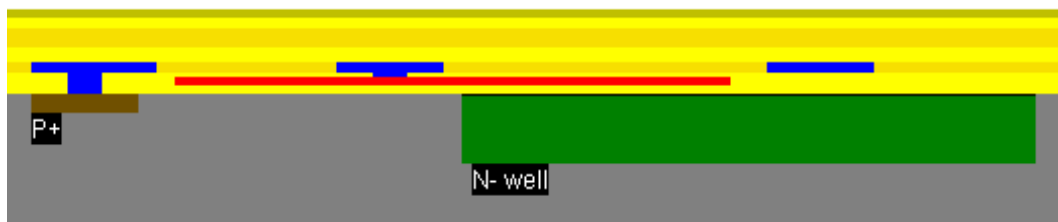


Fig. 3.8 (c) Sectiune transversala prin structura inversorului la nivelul contactului metal1-silicium policristalin.



Fig. 3.8 (d) Sectiune transversala prin structura inversorului la nivelul canalului tranzistorului P.

Se poate observa in partea din stanga conectarea insulei N, la traseul metall (V_{DD}) prin zona puternic difuzata N+.



Fig. 3.8 (e) Sectiune transversala prin structura inversorului la nivelul canalelor celor doua tranzistoare N si P.

Se poate observa in stanga conexiunea substratului la GND prin zona de difuzie P+.

Pentru realizarea unui inversor trebuie sa se creeze, pe substrat, mai multe straturi de materiale cu proprietati elctrice diferite. Modurile in care vor fi depuse aceste materiale pe substrat vor fi discutate intr-un alt capitol. Deoacmdata se pleaca de la premisa ca ele pot fi depuse pe substrat, in zonele specificate de catre proiectant. Crearea unui inversor CMOS presupune urmatorii pasi:

- se foloseste un substrat de siliciu usor dopat P, pe care se vor depune celelalte straturi;
- se creste un strat de dioxid de siliciu si se creaza taieturile necesare in acesta;
- se creaza o insula N in substrat, prin doparea cu ioni de P sau As, insula N fiind necesara pentru realizarea tranzistorului P;
- se creste un strat subtire de dioxid de siliciu, avand rolul de izolator, in zonele in care se vor crea tranzistoarele P si N;
- se plaseaza un strat de siliciu policristalin peste stratul subtire de dioxid, pentru a forma portile celor doua tranzistoare;

- se implanteaza/difuzeaza o regiune N+ in substratul P, pentru a forma sursa si drena tranzistorului de tip N si, in mod asemanator, se implenteaza/difuzeaza o regiune P+ in insula N, pentru a forma sursa si drena tranzistorului P;
- peste intraga structura se creste un strat de oxid si se deschid in acesta taieturile de contact, pentru ca stratul de metal1, care se va depune, in continuare, sa realizeze conexiunile cu diversele straturi, in vederea: aplicarii tensiunii de alimentare, conectarii la masa, la intrare si iesire;
- in cazul in care procesul de fabricatie permite crearea celui de-al doile strat de metal se va depune un strat de oxid pe intreaga suprafata si se vor crea taieturi de contact in zonele (via) in care metal2 si metal1 trebuie sa vina in contact.

Pentru crearea formelor straturilor mentionate mai sus se utilizeaza procese litografice complexe, care vor fi discutate intr-un alt capitol.

3.2.2 I Reguli de proiectare.

Cand se realizeaza desenele sabloanelor unor circuite integrate se urmareste ca acestea sa ocupe o suprafata cat mai mica. Procesele de fabricatie impun insa o serie de restrictii referitoare la dimensiunile minime ale unor trasee, cat si la distantele intre traseele din acelasi material sau din mteriale diferite, chiar daca se afla pe niveluri diferite.

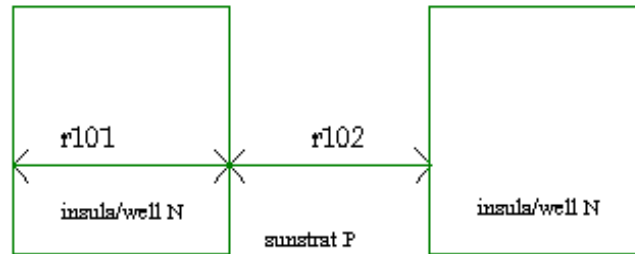
Plecand de la elementele ce caracterizeaza diferite procese de fabricatie in termenii dimensiunilor si distantelor minime au fost generate o reguli de proiectare. Aceste reguli reprezinta un ghid in proiectare, prin care se urmareste reducerea ariei ocupate de un circuit, garantandu-se insa functionarea corecta.

Specialistii au cautat sa lege regulile de proiectare de un factor ce poate caracteriza un procesele tehnologice din acest domeniu. Acest factor, care poarta numele de rezolutie a procesului, este notat cu λ si este influentat de o serie de factori legati de proces: precizia de aliniere a mastilor, precizia controlului de corodare s.a. De exemplu, in cazul procesului ATMEL-ES2 2-metal CMOS, rezolutia este egala cu 0,8 μ m.

Regulile de proiectare pot fi exprimate in valori absolute (μ m) sau sub forma relativa in raport cu rezolutia λ . Astfel, latimea minima a unui traseu de siliciu policristalin este de 1,6 μ m, in cazul procesului 0,8 μ m CMOS. In forma relativa, latimea minima a unui traseu de siliciu

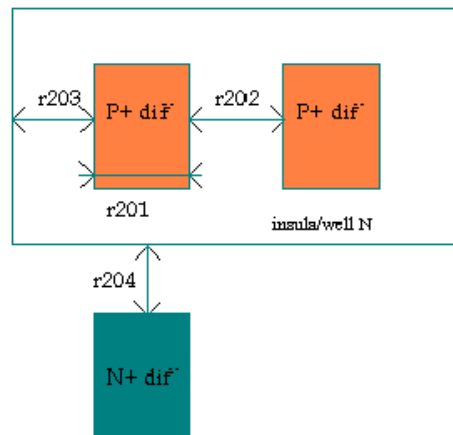
policristalin va fi egala cu 2λ . In continuare vor fi prezentate regulile de proiectare in forma relativa, pentru procesul ATMEL-ES2 2-metal $0,8\mu\text{m}$ CMOS.

Insula N



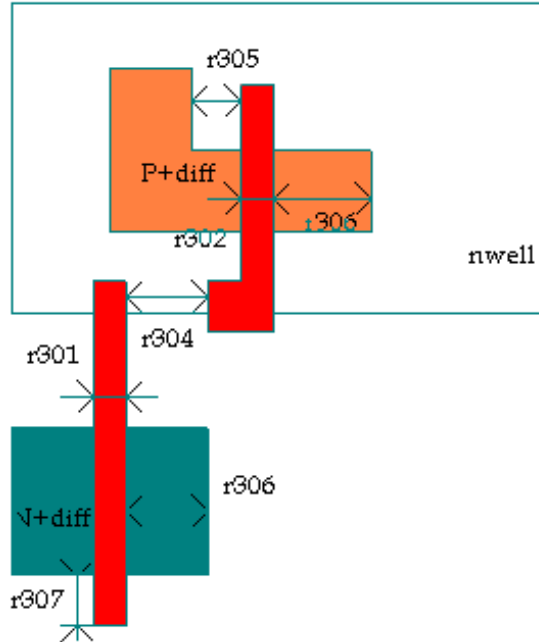
- r101 dimensiunea minima a insulei: 12
- r102 distanta minima intre insule: 12

Difuzie



- r201 dimensiunea minima a zonei de difuzie: 4
- r202 distanta minima intre doua zone de difuzie: 4
- r203 extensia insulei fata de difuzie: 6
- r204 distanta minima intre o zona de difuzie si o insula: 6

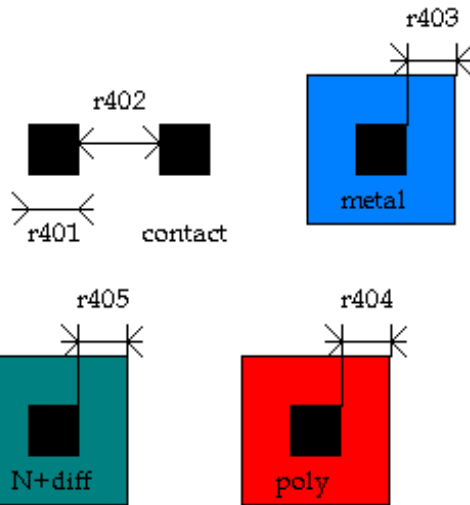
Siliciu policristalin



- r301 latimea traseului de siliciu policristalin: 2
- r302 latimea portii de siliciu policristalin pe difuzie P+: 2
- r303 latimea portii de siliciu policristalin pe difuzie N+: 2
- r304 distanta minima intre doua trasee de siliciu policristalin: 3
- r305 distanta minima intre un traseu de siliciu policristalin si un strat de difuzie: 2
- r306 extensia unui strat de difuzie in raport cu stratul de siliciu policristalin: 4
- r306 extensia unui strat de siliciu policristalin in raport cu stratul de difuzie: 2

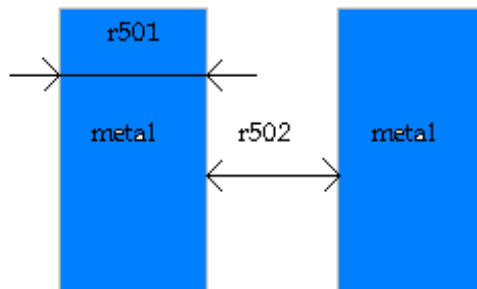
Contact.

- r401 latimea contactului: 2
- r402 distanta minima intre doua contacte: 3
- r403 extensia metalului fata de taietura de contact: 2
- r404 extensia siliciului policristalin fata de taietura de contact: 2
- r405 extensia difuziei fata de taietura de contact: 2



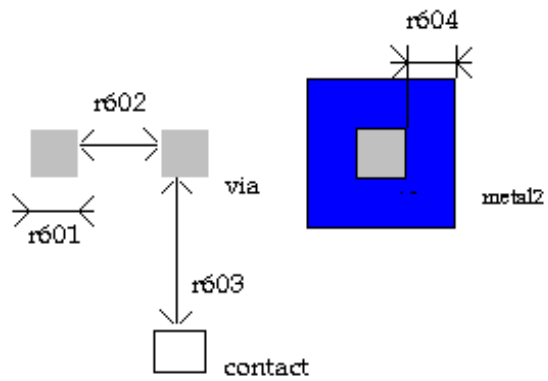
Metal1

- r501 dimensiunea minima a metalului1: 3
- r302 distanta minima intre doua zone de metal1: 3



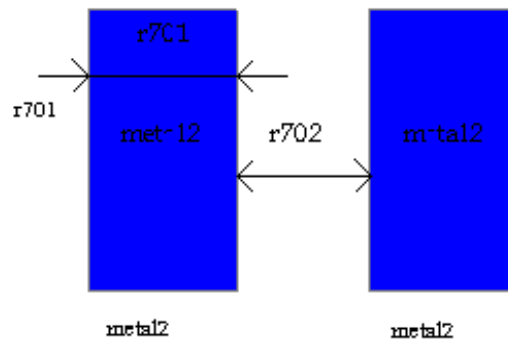
Via.

- r601 latimea zonei via: 3
- r602 distanta minima intre doua zone via: 3
- r603 distanta minima intre via si contact: 3
- r604 extensia metal1 peste via: 2
- r605 extensia metal2 peste via: 2



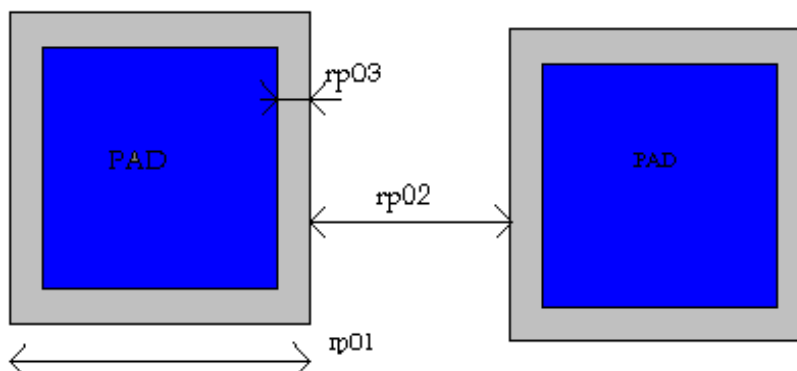
Metal2.

- $r701$ dimensiunea minima a zonei de metal2: 5
- $r702$ distanta minima intre doua zone de metal2: 5



Plotul

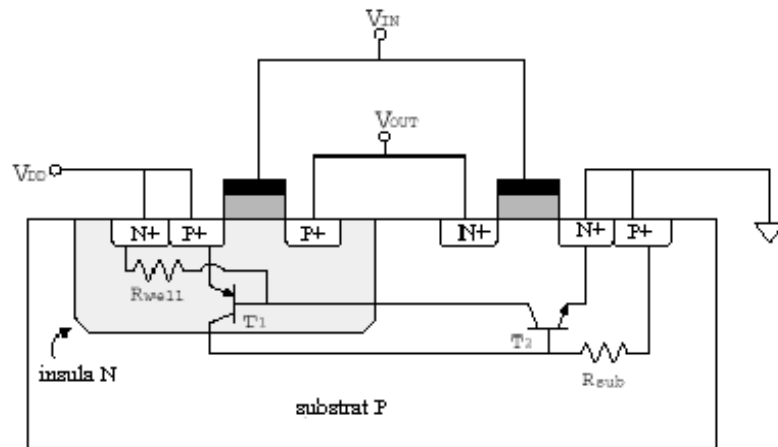
- $rp01$ dimensiunea minima 100 μm
- $rp02$ distanta minima intre doua ploturi: 100 μm



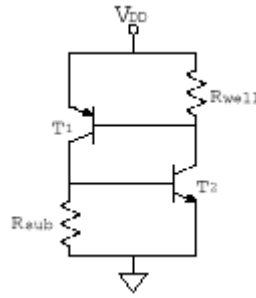
- rp03 deschiderea in pasivizare fata de via: 5 μm
- rp04 deschiderea in pasivizare fata de metale: 5 μm
- rp05 distanta minima intre plot si zone active fara legatura cu plotul: 20 μm

3.2.3 Efectul Latchup.

Primele circuite CMOS prezentau efectul latchup, care putea conduce la deteriorarea lor. Dupa cum se poate observa din desenul de mai jos, in conditiile existentei unei perechi de tranzistoare PMOS si NMOS este inerenta aparitia unor tranzistoare bipolare parazite.



In mod normal circuitul format din aceste doua tranzistoare parazite nu functioneaza. O serie de fenomene cu caracter tranzitoriu pot aduce in conductie acest circuit. Intrucat acest circuit are o reactie pozitiva, dupa aducerea lui in stare de conductie, el va ramane in aceasta stare pana la deconectarea sursei de alimentare. Activarea acestor tranzistoare bipolar impiedica functionarea normala a circuitului CMOS si chiar il poate distruge. Fenomenul de latch-up apare cu precadere in apropierea structurilor de I/E, unde fenomenele tranzitorii sunt mai frecvente. Dupa cum se poate observa, in figura de mai sus, sursa tranzistorului PMOS, insula N si substratul P formeaza un tranzistor PNP. De asemenea, un tranzistor lateral este format de catre insula N a tranzistorului P, substratul P si sursa tranzistorului NMOS. Analiza poate fi efectuata pe schema echivalenta de mai jos:



Un scenariu posibil este acela care ar conduce la deschiderea celor doua tranzistoare. Un curent de electroni este injectat in substratul P. Acesta va face ca T2 sa fie polarizat in sensul conductiei de catre R_{sub} , care va deschide T2. Tranzistorul T2 fiind deschis va crea o tensiune de polarizare pe R_{well} , care va deschide T1, ceea ce va duce la injectarea unui curent mai mare in substrat. Astfel, se va stabili o cale intre VDD si GND. Pe masura ce curentul trece prin aceasta cale influenta circuitului parazit va creste.

Exista mai multe metode pentru limitarea sau prevenirea acestui fenomen, care sunt, fie la indemana proiectantului de circuit, fie la indemana proiectantului de proces. Din punctul de vedere al proiectantului de circuit, se poate actiona prin cresterea numarului de contacte intre substrat si insula. Cea de-a doua metoda consta in reducerea valorii produsului amplificarii $\beta_{pnp} \times \beta_{npn}$ la o valoare subunitara. Aceasta metoda nu este la indemana proiectantului de circuit. Cea de-a treia metoda consta in decuplarea perechii PNP – NPN, folosind tehnologia SOI (Silicon On Insulator).

4. Parametrii electrici – Detalii.

Cap.6. Parametrii electrici – Detalii.

Prin satisfacerea restrictiilor impuse de regulile de proiectare, proiectantii pot genera sabloane de masti stiind ca structurile obtinute in procesul de prelucrarea wafer-elui vor corespunde specificatiilor initiale. Pentru terminarea proiectului trebuie cunoscute valorile parametrilor electrici ai tranzistoarelor, straturilor difuzate, straturilor de polysiliciu etc, in vederea evaluarii paerformantei circuitelor proiectate. Rezistentele pe patrat (R/\square) ale diferitelor straturi, cat si capacitantele pe micron patrat, fata de straturile inferioare sunt prezentate in Tab.1. R/\square este

independenta de dimensiunea patratului si egala cu rezistivitatea ρ impartita la grosimea t a stratului. La nivelul anului 1978 parametrii electrici aveau urmatoarele valori:

Rezistente :	Metal	$\sim 0.1 \text{ ohm}/\square$
	Difuzie	$\sim 10 \text{ ohm}/\square$
	Poly	$\sim 15-100 \text{ ohm}/\square$
	Tranzistor	$\sim 10^4 \text{ ohm}/\square$
Capacitati :	Canalul-Portii	$\sim 4 \times 10^{-4} \text{ pf}/\mu\text{m}^2$
	Difuzie	$\sim 0.8 \times 10^{-4} \text{ pf}/\mu\text{m}^2$
	Poly	$\sim 0.4 \times 10^{-4} \text{ pf}/\mu\text{m}^2$
	Metal	$\sim 0.3 \times 10^{-4} \text{ pf}/\mu\text{m}^2$

Valorile rezistentelor/patrat se scaleaza/inmultesc cu α pe masura ce dimensiunile se scaleaza cu $1/\alpha$, cu exceptia tranzistorului a carui R/\square este independenta de α .

Valorile capacitatilor/ μ^2 se scaleaza cu α , pe masura ce dimensiunile se scaleaza cu $1/\alpha$

Pentru **Procesul TSMC 0,25 μm** valorile Ω/\square pentru diferite straturi sunt urmatoarele:

insula n	1200
difuzie n+	4,7
difuzie p+	3,5
poly	4
M1	0,06
M2	0,08
M3	0,08
M4	0,08
M5	0,03

Rezistentele de contact:

poly	p+	n+	M1	M2
6,7	5,7	5,7	2,02	4,07

Rezistentele efective ale canalelor tranzistoarelor:

nMOS $\approx 10 \text{ K } \Omega/\square$

pMOS $\approx 30 \text{ K } \Omega/\square$

Procesul TSMC 0,25 μm

Valori tipice pentru capacitati
Procesul TSMC 0,25 μm

Placa de oxid a portii : $6 \text{ fF}/\mu\text{m}^2$

$T_{\text{ox}} = 5,8\text{nm}$

aria activa n+ : $1,87 \text{ fF}/\mu\text{m}^2$

perete lateral : $0,44 \text{ fF}/\mu\text{m}$

aria activa p+ : $1,88 \text{ fF}/\mu\text{m}^2$

perete lateral : $0,35 \text{ fF}/\mu\text{m}$

	poly	m1	m2	m3
poly	—	—	—	—
m1	63:70	—	—	—
m2	17:42	37:52	—	—
m3	10:30	15:36	38:49	—

armatura/placa:margine/bordura

f \rightarrow femto $\rightarrow 10^{-15}$

a \rightarrow atto $\rightarrow 10^{-18}$

Pentru procesul cu rezolutia de 45nm:

45nm process:

inner metal layers: $\sim 0.09 \text{ Ohms/sq}$

outer metal layers: $\sim 0.28 \text{ Ohm/sq}$

vias: $\sim 0.9 \text{ Ohm}$

Parametrii tipici pentru un proces cu rezolutia 180nm

n-type transconductance	k'_n	$170\mu\text{A}/\text{V}^2$
p-type transconductance	k'_p	$-30\mu\text{A}/\text{V}^2$
n-type threshold voltage	V_{tn}	0.5V
p-type threshold voltage	V_{tp}	-0.5V
n-diffusion bottomwall capacitance	$C_{ndiff,bot}$	$940\text{aF}/\mu\text{m}^2$
n-diffusion sidewall capacitance	$C_{ndiff,side}$	$200\text{aF}/\mu\text{m}$
p-diffusion bottomwall capacitance	$C_{pdiff,bot}$	$1000\text{aF}/\mu\text{m}^2$
p-diffusion sidewall capacitance	$C_{pdiff,side}$	$200\text{aF}/\mu\text{m}$
n-type source/drain resistivity	R_{ndiff}	$7\Omega/\square$
p-type source/drain resistivity	R_{pdiff}	$7\Omega/\square$
poly-substrate plate capacitance	$C_{poly,plate}$	$63\text{aF}/\mu\text{m}^2$
poly-substrate fringe capacitance	$C_{poly,fringe}$	$63\text{aF}/\mu\text{m}$
poly resistivity	R_{poly}	$8\Omega/\square$
metal 1-substrate plate capacitance	$C_{metal1,plate}$	$36\text{aF}/\mu\text{m}^2$
metal 1-substrate fringe capacitance	$C_{metal1,fringe}$	$54\text{aF}/\mu\text{m}$
metal 2-substrate capacitance	$C_{metal2,plate}$	$36\text{aF}/\mu\text{m}^2$
metal 2-substrate fringe capacitance	$C_{metal2,fringe}$	$51\text{aF}/\mu\text{m}$
metal 3-substrate capacitance	$C_{metal3,plate}$	$37\text{aF}/\mu\text{m}^2$
metal 3-substrate fringe capacitance	$C_{metal3,fringe}$	$54\text{aF}/\mu\text{m}$
metal 1 resistivity	R_{metal1}	$0.08\Omega/\square$
metal 2 resistivity	R_{metal2}	$0.08\Omega/\square$
metal 3 resistivity	R_{metal3}	$0.03\Omega/\square$
metal current limit	$I_{m,max}$	$1\text{mA}/\mu\text{m}$

Valorile rezistentelor relative ale metalului, difuziei, poly-ului si a caili sursa drena ale tranzistoarelor sunt destul de diferite. Straturile de difuzie si poly au R_d/\square si R_p/\square egale cu aproximativ cu 100 de ori valori mai mari decat R_m/\square , iar un canal complet deschis are R_c/\square de aproximativ 1000 mai mare decat R_d/\square sau R_p/\square .

Valorile capacitatilor pe μm^2 nu sunt atat de diferite ca cele ale R/\square . De exemplu, C_d (Capacitatea pe μm^2 a stratului de difuzie) este aproximativ egala cu 1/5 din C_{gc} (capacitatea pe μ^2 grila-canal). Polysiliciul pe strat gros de oxid $C_p \approx C_{gc}/10$ si $C_m \leq C_{gc}/10$

Valorile relative ale rezistentelor si capacitatilor nu vor varia dramatic pe masura ce procesul se scalleaza catre dimensiuni mai mici, cu exceptia R_c/\square , care ramane constanta.

Valorile rezistentelor relative ale metalului, difuziei, poly-ului si a caili sursa drena ale tranzistoarelor sunt destul de diferite. Straturile de difuzie si poly au R_d/\square si R_p/\square egale cu aproximativ cu 100 de ori valori mai mari decat R_m/\square , iar un canal complet deschis are R_c/\square de aproximativ 1000 mai mare decat R_d/\square sau R_p/\square .

Valorile capacitatilor pe μm^2 nu sunt atat de diferite ca cele ale R/\square . De exemplu, C_d (Capacitatea pe μm^2 a stratului de difuzie) este aproximativ egala cu 1/5 din C_{gc} (capacitatea pe μ^2 grila-canal). Polsiliciul pe strat gros de oxid $C_p \approx C_{gc}/10$ si $C_m \leq C_{gc}/10$

Valorile relative ale rezistentelor si capacitatilor nu vor varia dramatic pe masura ce procesul se scadeaza catre dimensiuni mai mici, cu exceptia R_c/\square , care ramane constanta.

Valori tipice pentru capacitati:

Procesul TSMC: 0,25 μm

Placa de oxid a portii: 6ff/ μm^2 ($T_{ox}=5,8\text{nm}$)

Aria Activa n: 1,87 ff/ μm^2

Perete lateral: 0,44 ff/ μm

Aria Activa p: 1,88 ff/ μm^2

Perete lateral: 0,35 ff/ μm

Limitarile curentilor in conductoare.

Exista un proces fizic denumit migratia metalului, in sensul curgerii curentului continuu, daca densitatea acestuia din urma depaseste $10^5 \text{A}/\text{cm}^2$. In cazul unui curent in impulsuri, cu durate de ordinul ns, densitatile de curent pot creste cu 1-2 ordine de marime. Din fericire structurile CMOS nu consuma curent in regim continuu.

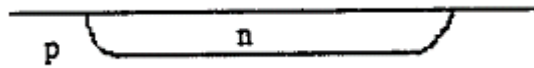
Detalii privind capacitatile diferitelor straturi.

In cele de mai sus s-a considerat ca valorile capacitatilor diferitelor straturi sunt independente de tensiunea acestora fata de substrat. Valorile date sunt in conditiile in care aceasta tensiune este zero.

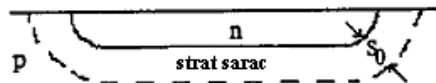
Capacitatea unei regiuni de difuzie fata de substrat:

Cand o tensiune negativa se aplica unei regiuni de difuzie n in raport cu substratul p, electronii sunt expulzati in substrat, rezultand un curent, intrucat jonctiunea n-p este polarizata in sensul

conductiei. In practica regiunile difuzate sunt polarizate pozitiv fata de substrat, jonctiunea fiind polarizata in sensul invers conductiei, regula strict respectata in proiectarea VLSI. Numai un mic curent de scurgere este prezent, pentru a izola o regiune de difuzie de cealalta. Concentratia de impuritati in zona substratului este de $10^{15}/\text{cm}^3$ atomi de impuritati. Cand o tensiune pozitiva este aplicata regiunii de difuzie n, influenta acesteia se va resimti si in regiunea p, prin respingerea purtatorilor de sarcina pozitiva si, prin aceasta, expunand ionii de impuritati incarcati negativ. Regiunea ce inconjoara stratul de difuzie n, este saracita de purtatorii de sarcina pozitiva, formand un strat sarac de grosime S_0 . Pe masura ce tensiune de polarizare creste si grosimea stratului sarac creste, rezultand o capacitate: strat de difuzie – substrat, ca in figurile de mai jos:



Difuzie n pe substrat p



Strat sarac.

Tensiunea electrica in stratul sarac este egala cu intensitatea campului electric E x grosimea S_0 a stratului sarac. Campul creat in stratul sarac este egal cu N , (densitatea de impuritati de tip donor/cm³) x S_0 .

Astfel,

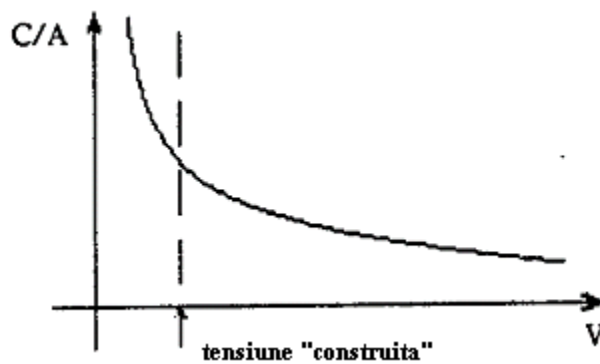
$$V \approx E \times S_0 \approx N \times S_0^2$$

Capacitatea pe unitatea de arie este egala cu sarcina pe unitatea de arie impartita la tensiune pe stratul sarac. grosimea stratului sarac. Din relatia de mai sus, in final, rezulta:

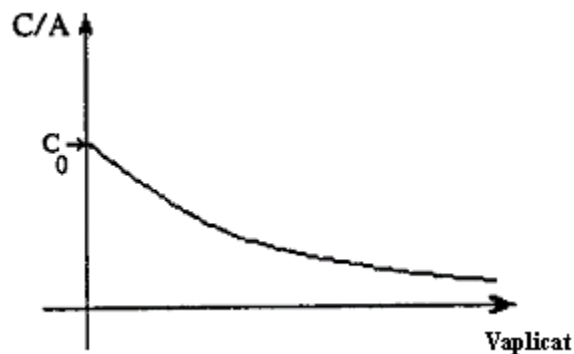
$$\text{Capacitatea/arie} = Q/V = (N \times S_0)/(N \times S_0^2) = 1/S_0 = (N/V)^{1/2}$$

N este densitatea de impuritati pe cm³, in substrat, iar V este tensiunea in Volti, rezultatul fiind capacitatea in pF/ μm^2 .

Mai jos se dau dependentele: $C/A = f(V)$ si $C/A = f(V_{\text{aplicat}})$ in cazul unei jonctiuni difuzie n-substrat p.



$$C/A = f(V)$$



$$C/A = f(V_{aplicat})$$

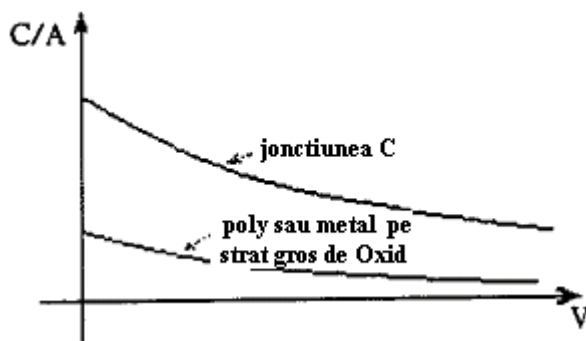
Capacitatea unei regiuni de poly sau metal fata de substrat:

In cazul in care stratul de oxid dintre poly/metal si substrat are o grosime mai mica decat cea a zonei sarace, capacitatile vor fi aproximativ aceleasi cu capacitatea jonctiunii n-p.

In cazul in care grosimea stratului de oxid este egala cu grosimea zonei sarace capacitatea totala C_{total} se micsoareaza datorita legarii in serie a capacitilor jonctiunii si a stratului de oxid:

$$1/C_{total} = 1/C_j + 1/C_{ox}$$

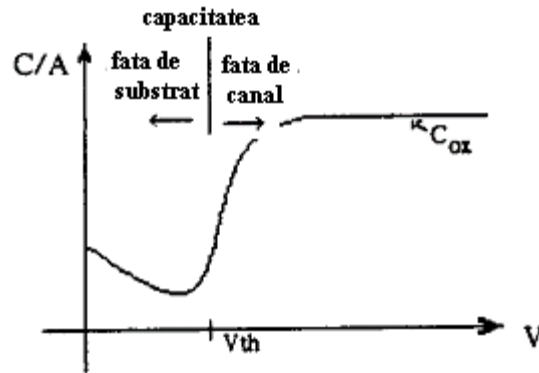
Pentru o grosime a stratului de oxid t_{ox} , $C_{oc} = 3,5 \times 10^{-2} / t_{ox}$, unde t_{ox} este dat in A (Angstromi – $10^{-4} \mu$), rezultatul fiind obtinut in pF/ μm^2 .



$C/A = f(V_{aplicat})$, pentru jonctiune si poly/metal pe strat gros de oxid.

Capacitatea grilei fata de substrat.

Mult mai interesanta este dependenta capacitatii grilei fata de substrat, odata cu cresterea tensiunii V_{gs} . In figura de mai jos se constata ca pana la atingerea valorii V_{th} , de catre V_{gs} , capacitatea evolueaza ca si in cazul jonctiunii. Dupa depasirea tensiunii de prag capacitatea grilei creste brusc, intrucat s-a constituit canalul si capacitatea formata din grila, stratul de oxid si canal, creste pe masura ce se constituie canalul, dupa cum se poate observa in figura de mai jos.



$C/A = f(V_{aplicat})$, pentru grila – substrat si pentru grila canal.