

## **TEME DE CASA PENTRU LABORATORUL DE CALCULATOARE NUMERICE**

1. Sa se proiecteze si sa se implementeze in Xilinx, in Verilog sintetizabil, o schema modulara de inmultire a doua numere intregi cu semn pe 8 biti, pe baza algoritmului de inmultire in cod direct de tip serial-paralel; se va preciza calculul indicatorilor ce trebuie setati in acest caz.
2. Sa se proiecteze si sa se implementeze in Xilinx, in Verilog sintetizabil, o schema modulara de inmultire a doua numere in virgula fixa cu semn cu parte intreaga si parte zecimala pe 8 biti, pe baza algoritmului de inmultire al lui Booth; se va preciza calculul indicatorilor ce trebuie setati in acest caz.
3. Sa se proiecteze si sa se implementeze in Xilinx, in Verilog sintetizabil, o schema modulara de impartire a doua numere in virgula fixa cu semn cu parte intreaga si parte zecimala pe 8 biti, pe baza algoritmului de impartire prezentat la curs; se va preciza calculul indicatorilor ce trebuie setati in acest caz.
4. Sa se proiecteze si sa se implementeze in Xilinx, in Verilog sintetizabil, o schema modulara de adunare/scadere a doua numere in virgula mobila reprezentate conform standardului scurt de baza IEEE 754, pe baza algoritmului prezentat la curs; se va preciza calculul indicatorilor ce trebuie setati in acest caz.
5. Sa se proiecteze si sa se implementeze in Xilinx, in Verilog sintetizabil, o schema modulara de inmultire a doua numere in virgula mobila reprezentate conform standardului scurt de baza IEEE 754, pe baza algoritmului prezentat la curs; se va preciza calculul indicatorilor ce trebuie setati in acest caz.
6. Sa se proiecteze si sa se implementeze in Xilinx, in Verilog sintetizabil, o schema modulara de impartire a doua numere in virgula mobila reprezentate conform standardului scurt de baza IEEE 754, pe baza algoritmului prezentat la curs; se va preciza calculul indicatorilor ce trebuie setati in acest caz.
7. Sa se proiecteze si sa se implementeze in Xilinx, in Verilog sintetizabil, o schema modulara de conversie asincrona bidirectionala binar  $\leftarrow\rightarrow$  ZCB a unui numar binar pe 10 biti, respectiv a unui numar ZCB pe 3 decade.
8. Sa se proiecteze si sa se implementeze in Xilinx, in Verilog sintetizabil, o schema modulara de conversie sincrona bidirectionala binar  $\leftarrow\rightarrow$  ZCB a unui numar binar pe 10 biti, respectiv a unui numar ZCB pe 3 decade.

9. Sa se proiecteze si sa se implementeze in Xilinx, in Verilog sintetizabil, o schema modulara de conversie secventiala bidirectionala binar  $\leftrightarrow$  ZCB a unui numar binar pe 10 biti, respectiv a unui numar ZCB pe 3 decade.
10. Sa se proiecteze si sa se implementeze in Xilinx, in Verilog sintetizabil, o schema modulara de adunare/scadere a doua numre ZCB pe 3 decadei, utilizand reprezentarea ZCB in complement fata de 1.