

# ÎNTÂRZIAREA ÎN CIRCUITELE COMBINAȚIONALE, SINCRONIZAREA ELEMENTELOR DE MEMORARE A INFORMAȚIEI, CALCULUL PERIOADEI CEASULUI

*- Curs5 -*

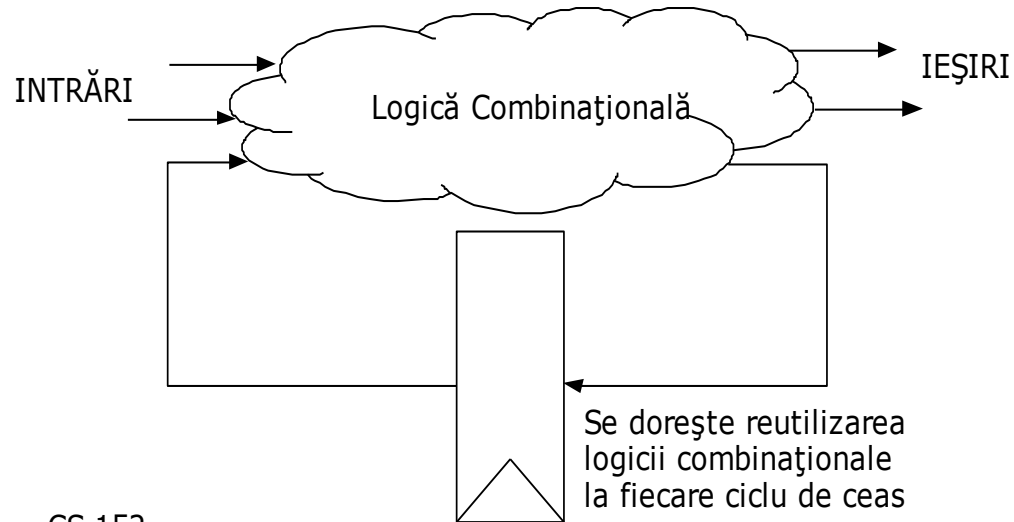
## Subiecte abordate:

---

- **ÎNTÂRZIERILE ÎN CIRCUITELE COMBINAȚIONALE**
  - **Tehnologia CMOS**
  - **Calculul întârzierilor**
  
- **CONVENȚII PENTRU SINCRONIZAREA SISTEMELOR NUMERICE**
  
- **ELEMENTE DE MEMORARE CU INTRARE DE CEAS**
  
- **CALCULUL PERIOADEI CEASULUI ÎN CONDIȚIILE COMENZII PE FRONT**
  
- **COMPONENTELE UNITĂȚII DE EXECUȚIE**
  
- **REFERINȚE:**
  - [www-inst.eecs.berkeley.edu/~cs152](http://www-inst.eecs.berkeley.edu/~cs152)
  - <http://6004.lcs.mit.edu/>

## ÎNTÂRZIERILE ÎN CIRCUITELE COMBINAȚIONALE

Prelucrarea informației în sistemele de calcul se realizează în timpul transferului acesteia de la o sursă/element de memorare la o destinație/element de memorare, prin intermediul unei logici combinaționale.



CS 152

## Tehnologia CMOS - tehnologia de bază.

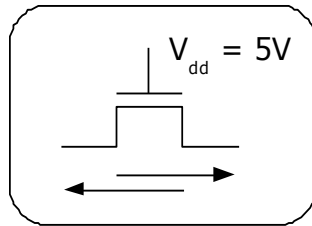
•**CMOS**: Semiconductor Metal Oxid Complementar.

Tranzistor **NMOS**  
(Semiconductor  
Metal Oxid de tip N)

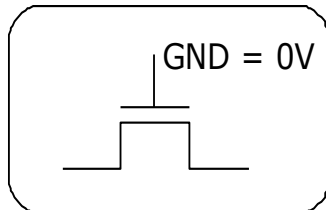
Tranzistor **PMOS**  
(Semiconductor Metal  
Oxid de tip P)

### NMOS

conduce dacă la  
poarta lui se aplică  
un potențial electric  
ridicat ( $V_{dd}$ )

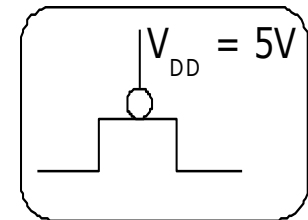


este blocat dacă la  
poarta lui se aplică  
un potențial electric  
coborât (GND)

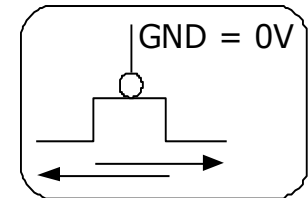


### PMOS

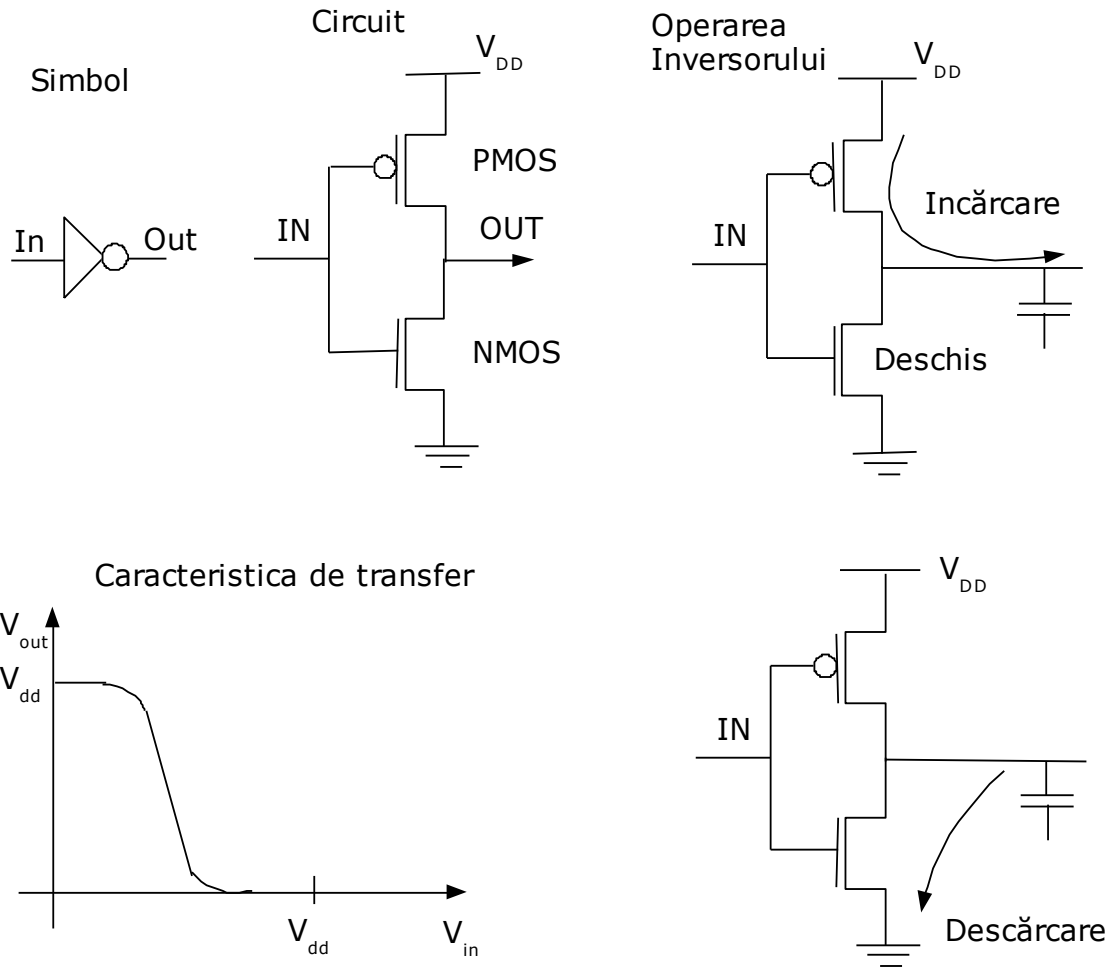
este blocat dacă la  
poarta lui se aplică un  
potențial electric  
ridicat ( $V_{dd}$ )



conduce dacă la  
poarta lui se aplică un  
potențial electric  
coborât (GND)

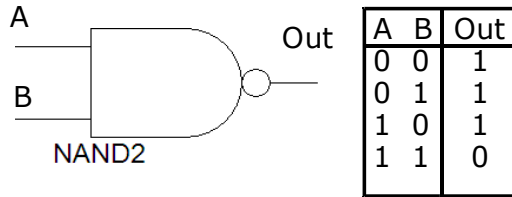


# Inversorul CMOS

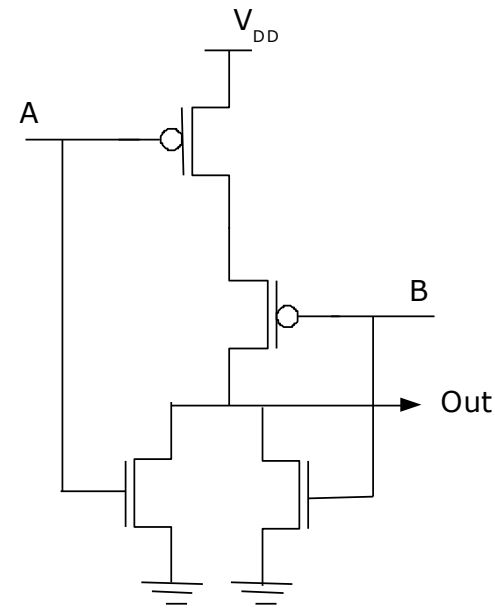
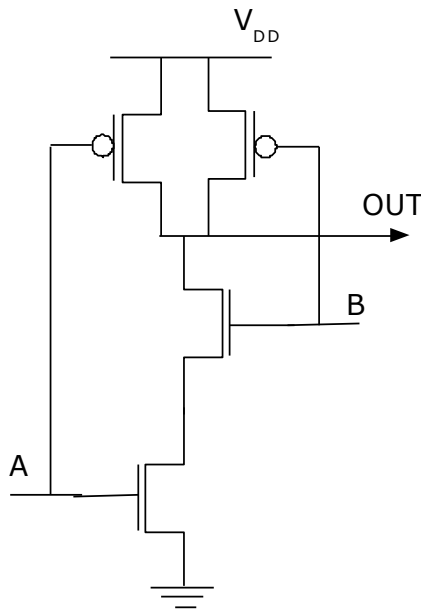
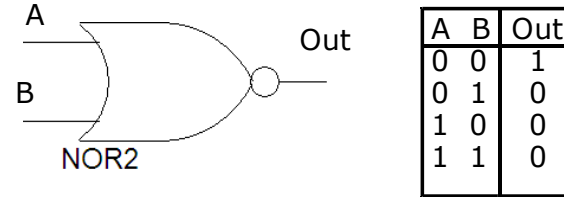


# Comparație între porți logice

Poarta NAND cu două intrări



Poarta NOR cu două intrări



## Comportările ideală și reală

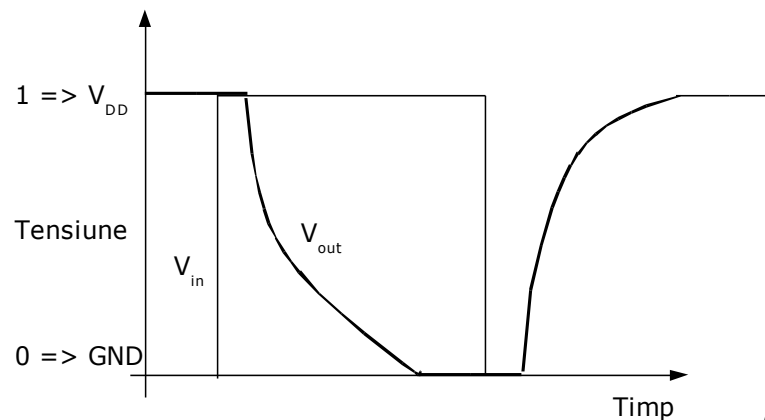
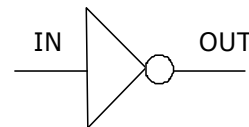
a) Când intrarea  $0 \rightarrow 1$ , ieșirea  $1 \rightarrow 0$ , dar NU instantaneu.

*Când ieșirea efectuează tranziția  $1 \rightarrow 0$ , tensiunea de ieșire tranzitează de la  $V_{dd}$  (5V) la 0V.*

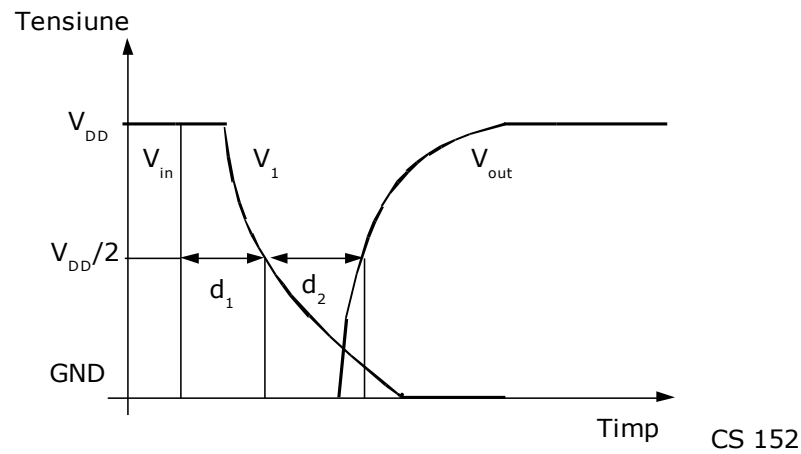
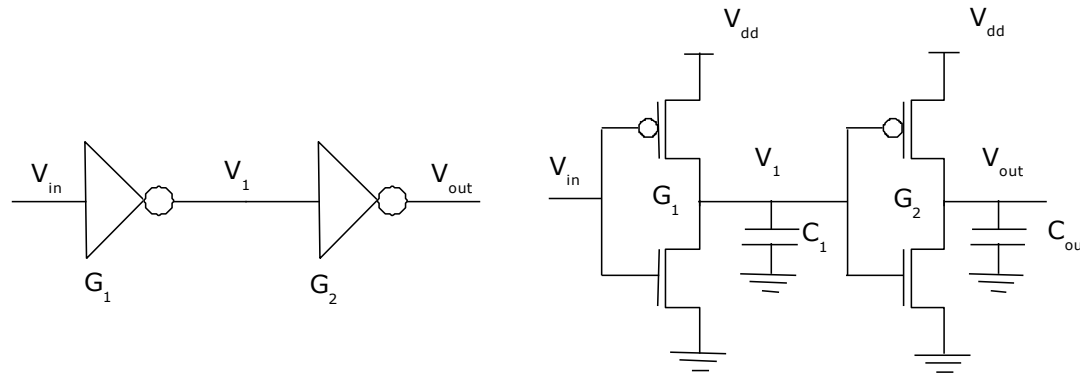
b) Când intrarea  $1 \rightarrow 0$ , ieșirea  $0 \rightarrow 1$  dar NU instantaneu.

*Când ieșirea efectuează tranziția  $0 \rightarrow 1$ : tensiunea de ieșire tranzitează de la 0 V la  $V_{dd}$  (5V).*

c) Tensiunea nu se modifică instantaneu.



## Conectarea în serie a porților.

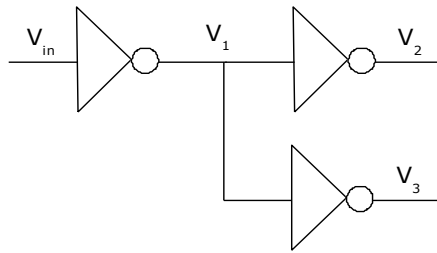


Întârzierea Totală de propagare = Suma Întârzierilor Individuale =  $d_1 + d_2$

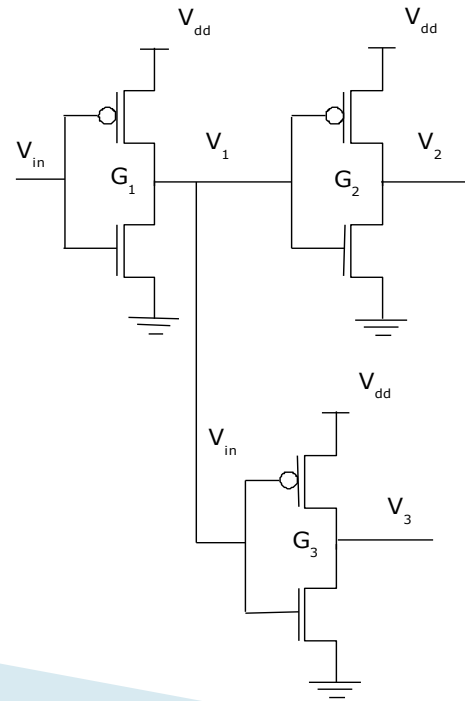


## Calculul întârzierilor

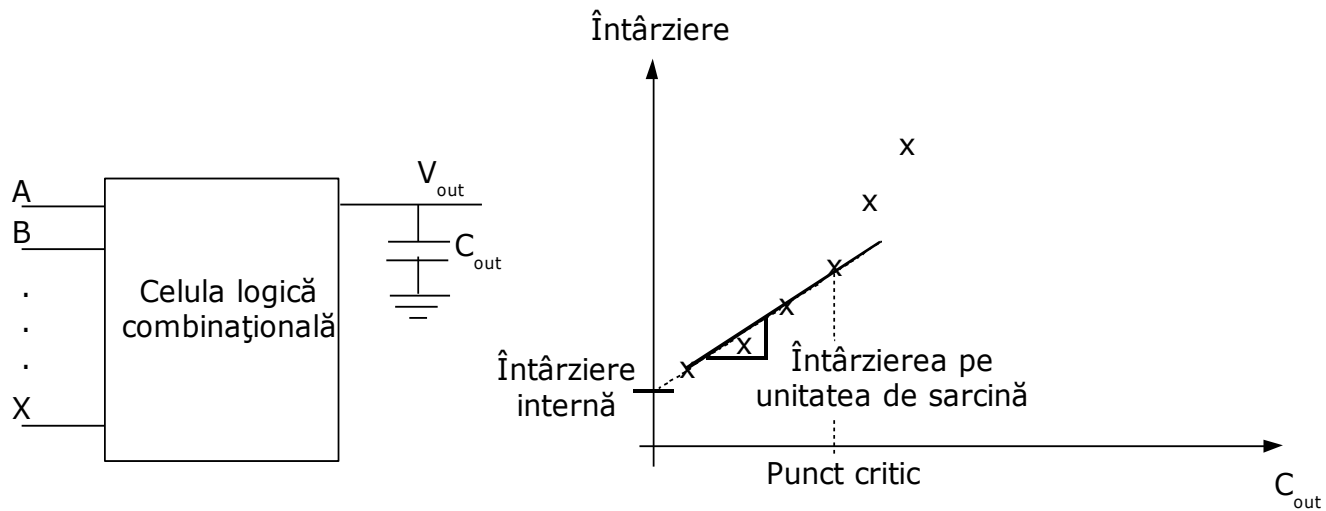
- Suma întârzierilor pe căile seriale
- Întârzierea ( $V_{in} \rightarrow V_1$ )  $\neq$  Întârzierea ( $V_{in} \rightarrow V_3$ )
- Întârzierea ( $V_{in} \rightarrow V_2$ ) = Întârzierea ( $V_{in} \rightarrow V_1$ ) + Întârzierea ( $V_1 \rightarrow V_2$ )
- Întârzierea ( $V_{in} \rightarrow V_3$ ) = Întârzierea ( $V_{in} \rightarrow V_1$ ) + Întârzierea ( $V_1 \rightarrow V_3$ )
- Drumul Critic = Calea cea mai lungă dintre cele N căi paralele



CS 152



# Modelul general al întârzierii în circuitele combinaționale



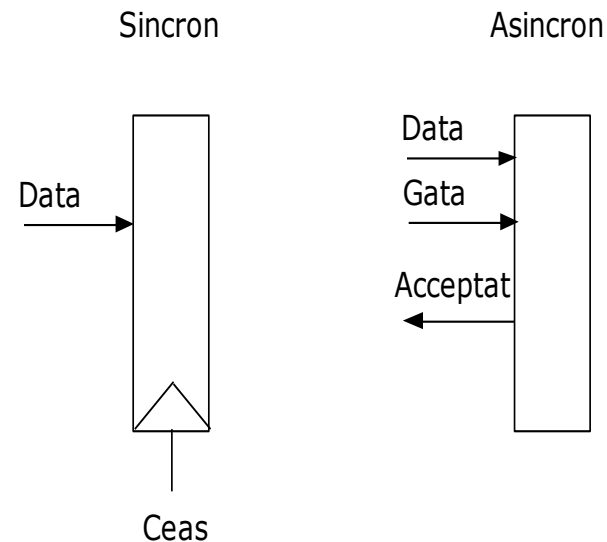
## CONVENȚII PENTRU SINCRONIZAREA SISTEMELOR NUMERICE

Pentru toate sistemele numerice este necesară o convenție în legătură cu momentul în care receptorul/destinația poate prelua data aplicată la intrarea sa:

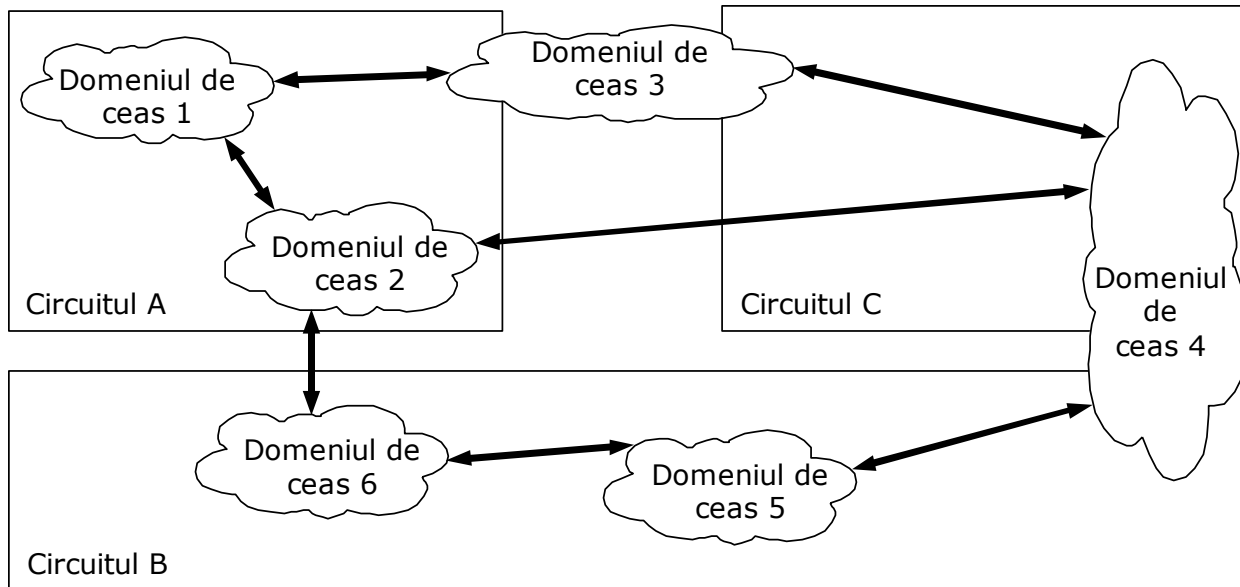
- *sistemele sincrone* utilizează un semnal de ceas comun;
- *sistemele asincrone* codifică semnalele “dată prezentă” (data ready) separat sau împreună cu semnalele care reprezintă datele.

Sistemele numerice necesită o convenție privitoare la momentul la care emițătorul poate transmite în siguranță o altă dată/informație către receptor:

- *sistemele sincrone*: la următorul front al semnalului de ceas;
- *sistemele asincrone*: după emiterea de către receptor a semnalului *acceptat/acknowledge*.

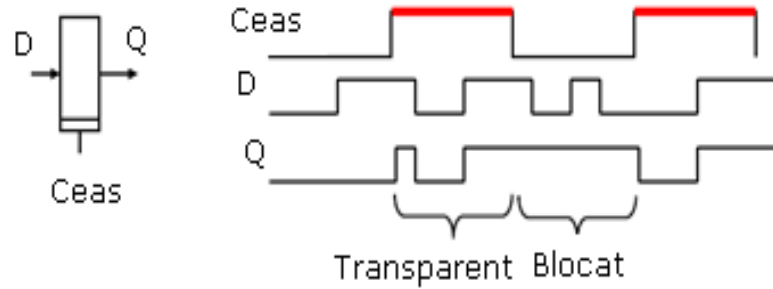


## ASIC-uri cu mai multe domenii cu ceas sincron:



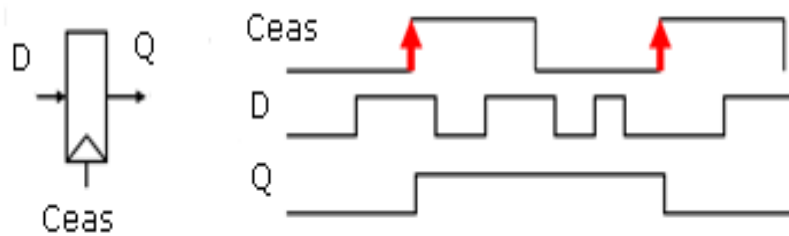
MIT 6371

## ▪ *Latch/”zăvor” transparent*



MIT 6371

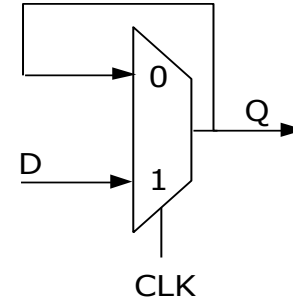
## ▪ *Registru/Bistabil de tip D, comandat pe front*



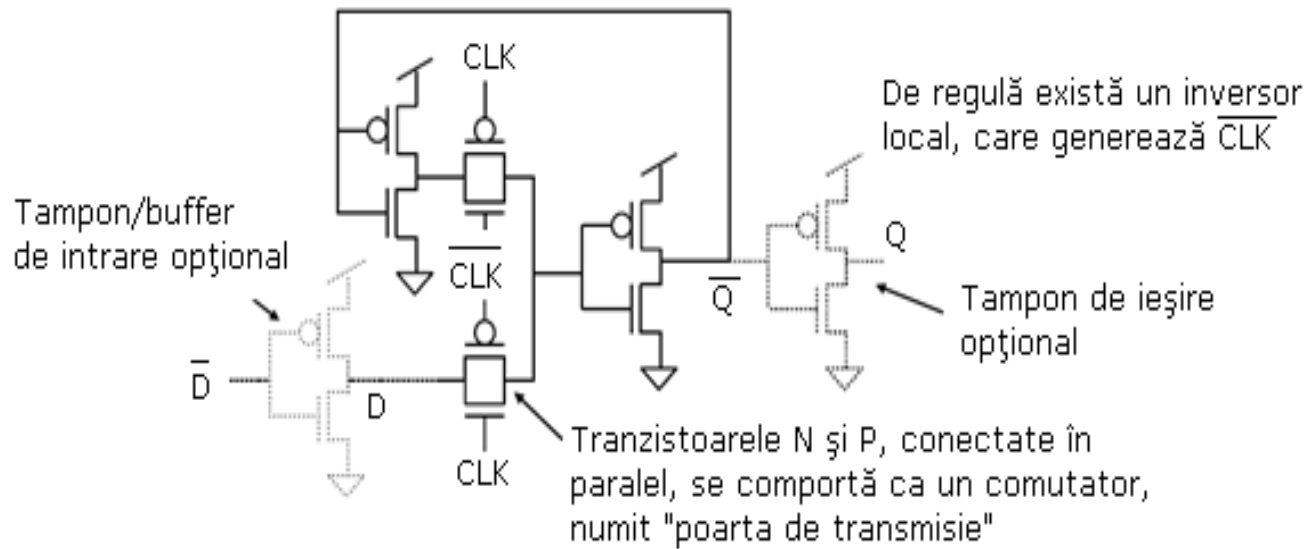
MIT 6371

## Realizarea unui Latch:

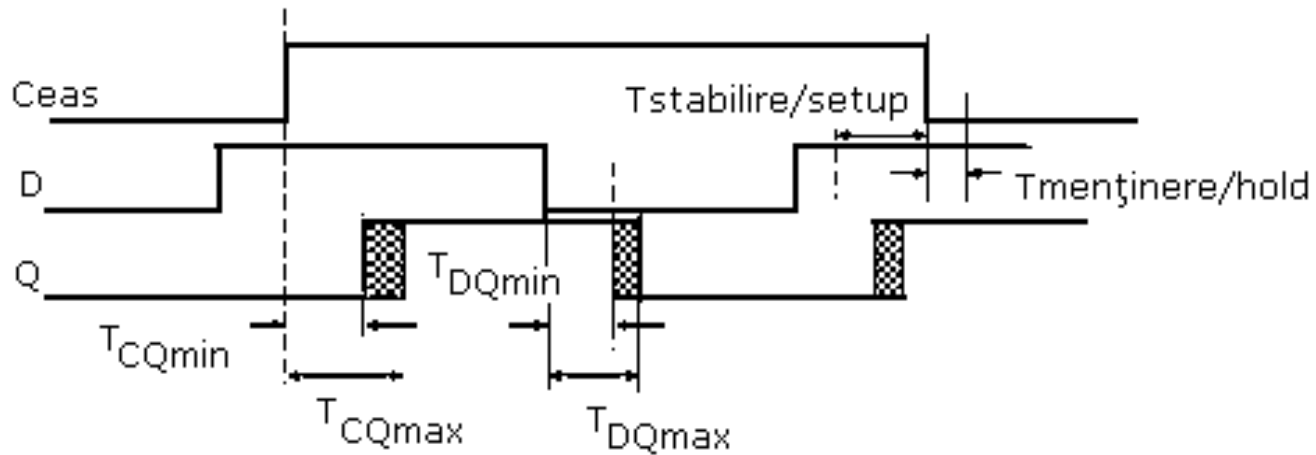
un multiplexor cu  
semnalul de selecție CLK



un Latch CMOS realizat cu ajutorul porților de transmisie:



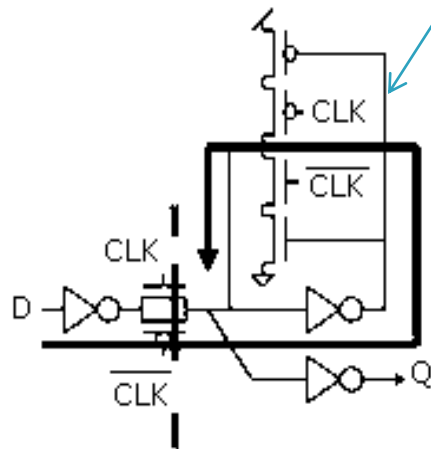
## Parametrii sincronizării/timing-ului latch-ului



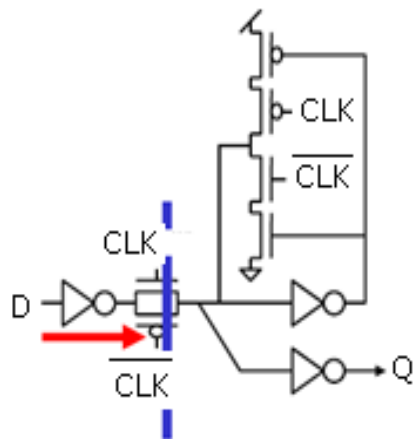
MIT 6371

- **$T_{CQmin}$ /  $T_{CQmax}$** : timpul de propagare a semnalului de la intrare la ieșire atunci când semnalul de ceas deschide latch-ul.
- **$T_{DQmin}$ /  $T_{DQmax}$** : timpul de propagare a semnalului de la intrare la ieșire atunci când latch-ul este transparent; *de regulă este cel mai important parametru de sincronizare a ceasului.*
- **$T_{stabilire/setup}$ /  $T_{mentinere/hold}$** : definesc o fereastră în jurul frontului posterior al semnalului de ceas pe durata căreia data trebuie să fie stabilă pentru a fi eșantionată corect.

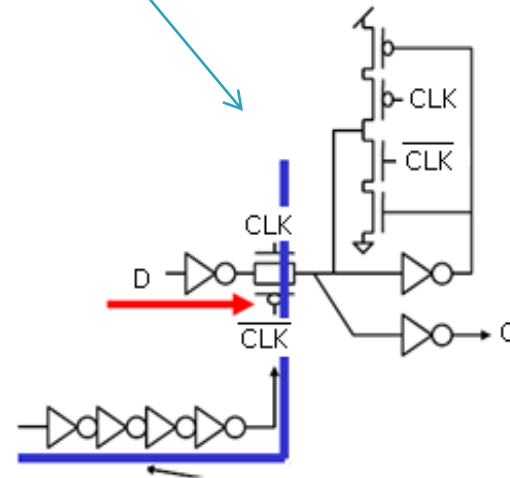
# Cursa referitoare la timpul de stabilire și timpul de menținere



MIT 6371

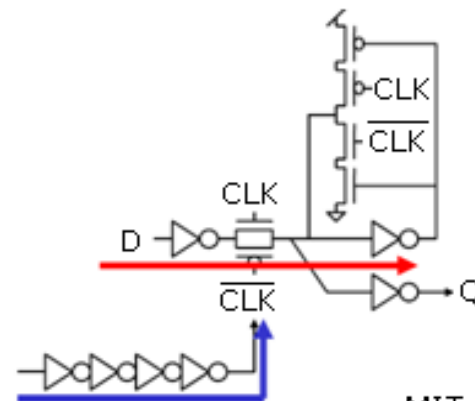


MIT 6371



Inversoarele/tampoanele adăugate demonstrează timpul pozitiv de menținere pentru acest latch: alte proiecte de latch-uri dispun, în mod natural un timp de menținere pozitiv

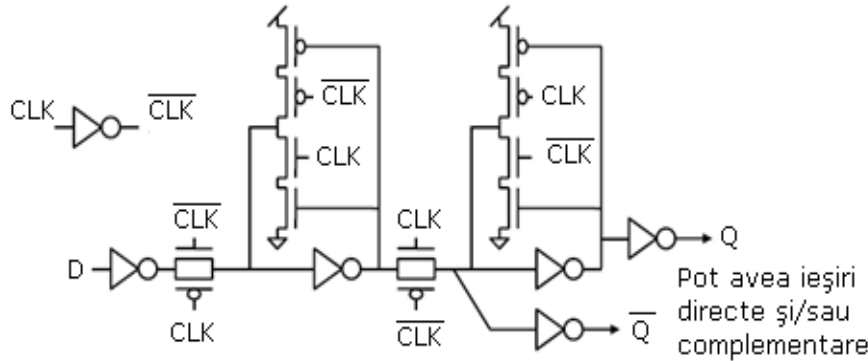
MIT 6371



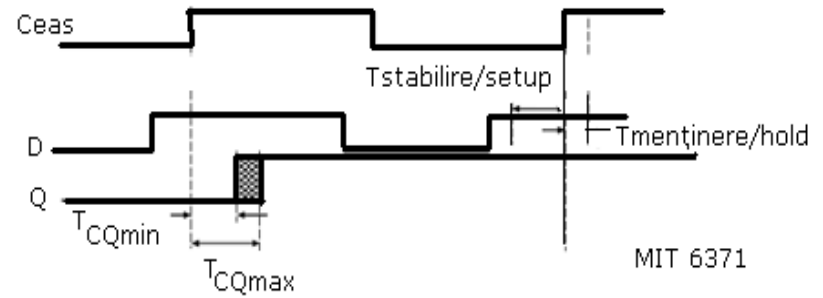
MIT 6371



# Circuite bistabile

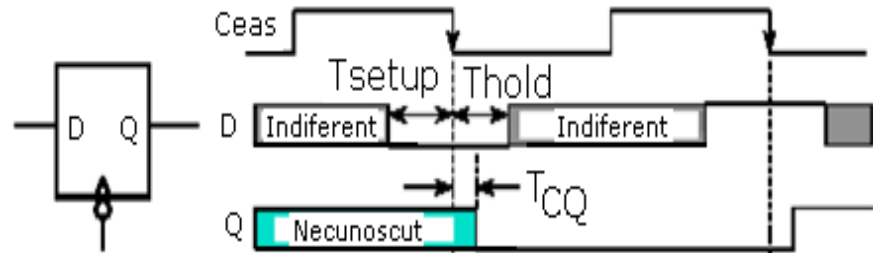


MIT 6371



- **$TCQ_{min}/TCQ_{max}$** : timpul de propagare a semnalului de la intrare la ieșire, în raport cu frontul semnalului de ceas;

- **$T_{stabilire/setup}/T_{menținere/hold}$** : definesc fereastra din jurul frontului ceasului pe durata căreia data trebuie să fie stabilă, pentru a fi eșantionată corect.



## *Calculul perioadei ceasului în condițiile comenzii pe front*

---

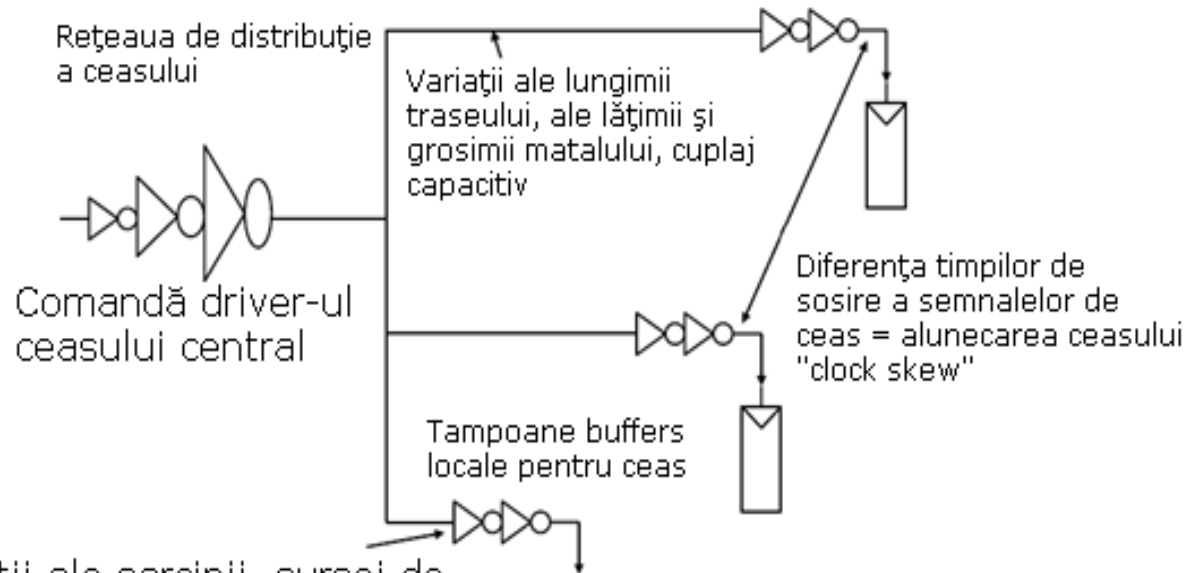
*Restricția pentru drumul cel mai lung sau calea cea mai lentă:*

$$T_{\text{ciclu}} \geq T_{\text{CQmax}} + T_{\text{pmax}} + T_{\text{stabilire/setup}}$$

*Restricția pentru drumul cel mai scurt sau calea cea mai rapidă:*

$$T_{\text{CQmin}} + T_{\text{pmin}} \geq T_{\text{meninere/hold}}$$

## Furnizarea semnalului de ceas

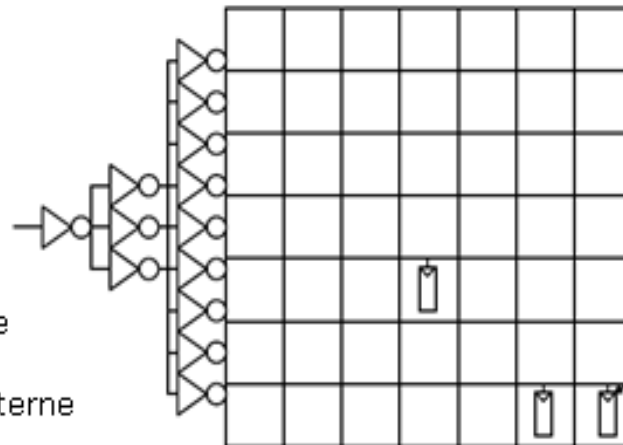


Variații ale sarcinii, sursei de alimentare totale, lungimea canalului și pragului porții locale ale ceasului local, cât și a temperaturii locale.

- **Skew-ul** reprezintă o variație spațială a timpilor de sosire a semnalelor de ceas: variația în ceea ce privește *același* front de ceas, văzut de către două sau mai multe bistabile *diferite*.
- **Jitter-ul** constituie variația temporală a timpilor de sosire: variația în ceea ce privește timpii de sosire a două fronturi succesive ale semnalului de ceas la *același* bistabil.
- Zgomotul sursei de alimentare reprezintă cauza principală a fenomenului jitter.

## Rețea de distribuție a ceasului

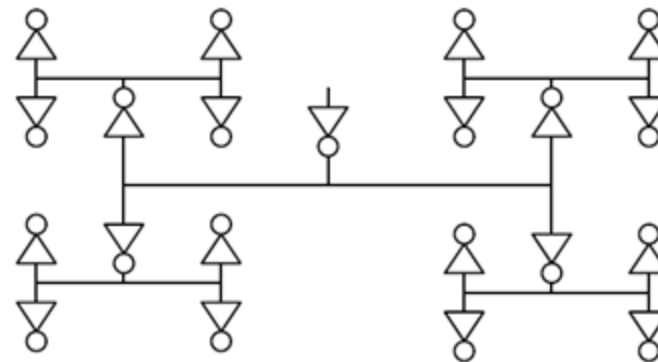
Arborele circuitului de comandă a ceasului se extinde pe înălțimea structurii. Nivelurile interne sunt interconectate.



Rețeaua alimentează direct bistabilele - fără tamponare locale

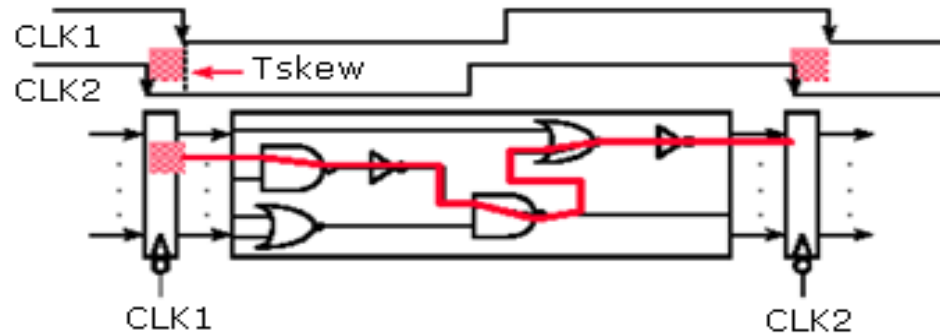
MIT 6371

*Arbori H de distribuție a ceasului*



MIT 6371

Cazul cel mai defavorabil apare când CLK2 sosește mai devreme/mai târziu decât CLK1.



CS 152

*Restricția pentru drumul cel mai lung sau calea cea mai lentă:*

$$T_{\text{ciclu}} \geq TCQ_{\text{max}} + T_{p_{\text{max}}} + T_{\text{stabilire/setup}} + T_{\text{alunecare/skew}}$$

*Restricția pentru drumul cel mai scurt/calea cea mai rapidă:*

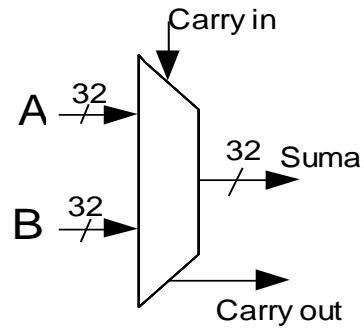
$$TCQ_{\text{min}} + T_{p_{\text{min}}} \geq T_{\text{mentinere/hold}} + T_{\text{alunecare/skew}}$$

# Componentele unității de execuție

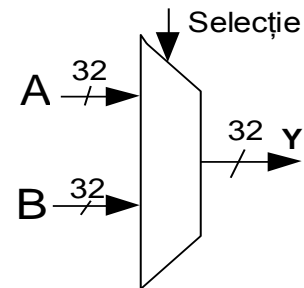
Elemente combinaționale

Elemente de memorare

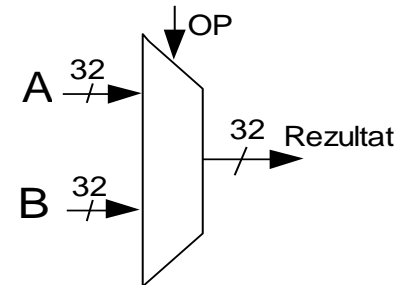
Sumator



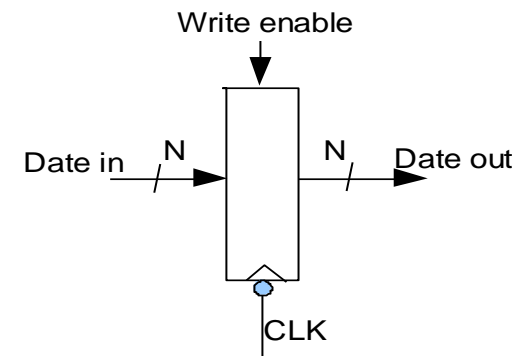
MUX



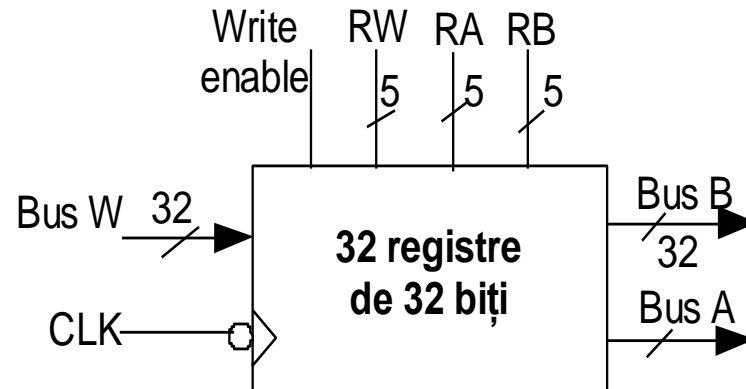
UAL



registru



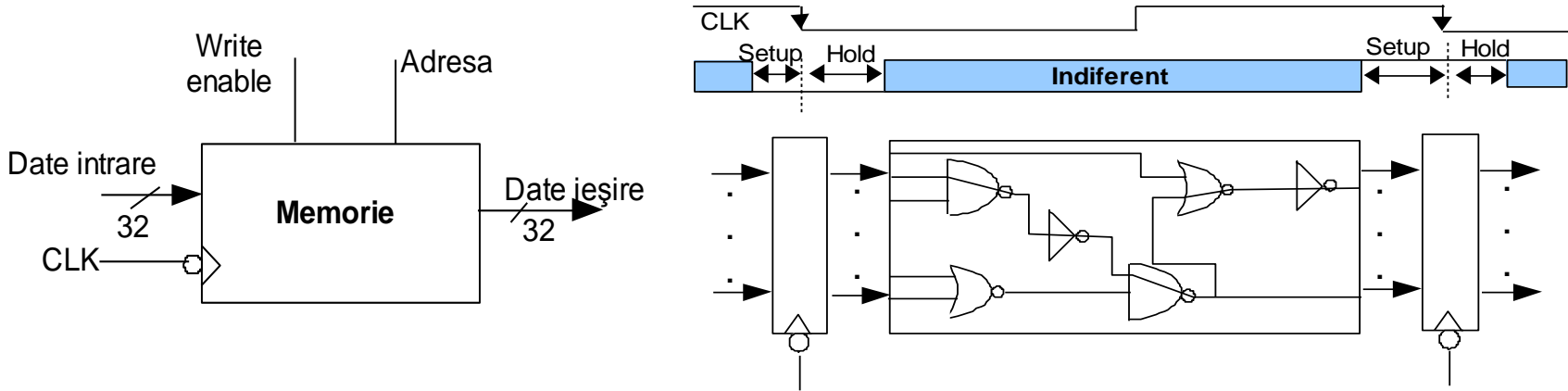
## Registrele generale



- RA (număr), care specifică registrul general al cărui conținut se plasează pe busA;
- RB (număr), care specifică registrul general al cărui conținut se plasează pe busB;
- RW (număr), care specifică registrul general al cărui conținut va fi modificat prin forțarea conținutului magistralei busW, când Write Enable este pe nivel ridicat.



## Memoria ideală



## Metodologia de sincronizare :

- toate elementele de memorare sunt controlate pe același front al ceasului.
- durata ciclului este:  $= CLK \rightarrow Q + \text{Întârzierea pe calea cea mai lungă} + \text{Timp de stabilire (Setup Time)} + \text{Alunecarea ceasului (Clock Skew)}$
- $(CLK \rightarrow Q + \text{Întârzierea pe calea cea mai scurtă} - \text{Alunecarea ceasului}) > \text{Timpul de menținere (Hold Time)}$