

TEMATICA EXAMEN CN1.

1. Introducere.

- 1.1. Dezvoltarea echipamentelor de prelucrare a datelor. Principalele etape; caracteristici ale echipamentelor; exemple
- 1.2. Generatii de calculatoare; realizari reprezentative pe plan mondial si national.
- 1.3. Niveluri de abstractizare in calculatoarele conventionale.
- 1.4. Reprezentarea calculatoarelor pe niveluri ierarhice.
- 1.5. Tendinte generale privind dezvoltarea domeniului VLSI.

2. Limbajul Verilog.

- 2.1. Conventii Lexicale.
- 2.2. Structura unui Program.
- 2.3. Tipuri de Date
 - 2.3.1 Tipuri de Date Fizice
 - 2.3.2 Tipuri de Date Abstracte
- 2.4. Operatori
 - 2.4.1 Operatori Aritmetici. Binari.
 - 2.4.2 Operatori Aritmetici. Unari.
 - 2.4.3 Operatori Relationali.
 - 2.4.4 Operatori Logici .
 - 2.4.5 Operatori la Nivel de Bit.
 - 2.4.6 Operatori Unari de Reducere.
 - 2.4.7 Alti Operatori.
 - 2.4.8 Operator de Precedenta.
- 2.5 Constructii de Control.
 - 2.5.1 Selectia: Instructiunile - if si case.
 - 2.5.2 Repetarea: Instructiunile - for, while si repeat.
- 2.6 Alte instructiuni.
 - 2.6.1 Instructiunea - parameter .
 - 2.6.2 Atribuirea Continua .
 - 2.6.3 Atribuire Procedurale Blocante si Nonblocante.
- 2.7. Task-uri si Functii .
- 2.8 Controlul Sincronizarii (Timing).
 - 2.8.1 Controlul Intarzierii (#) .

- 2.8.2 Evenimente.
- 2.8.3 Instructiunea wait.
- 2.8.4 Instructiunile fork and join.
- 2.9. Functiile si Task-urile de Sistem.
- 2.9.1 \$cleartrace.
- 2.9.2 \$display .
- 2.9.3 \$finish.
- 2.9.4 \$monitor .
- 2.9.5 \$scope .
- 2.9.6 \$settrace.
- 2.9.7 \$showscopes.
- 2.9.8 \$showvars.
- 2. 9.9 \$stop.
- 2. 9.10 \$time .
- 2.10. Exemple de descrieri Verilog a unor module hardware.
- 2.10.1 Ceas.
- 2.10.2 Bistabil.
- 2.10.3 Atribuire blocanta.
- 2.10.4 Atribuire nonblocanta.
- 2.10.5 Interschimb blocant.
- 2.10.6 Interschimb nonblocant-blocant.
- 2.10.7 Demultiplexor 2-la-4 cu iesiri active pe nivel coborat: model structural, model "flux de date", model comportamental.
- 2.10.8 Modul Fisier de Registre Generale: 32 cuvinte x 32 de biti, port 1 de intrare, 2 porturi de iesire.
- 2.10.9 Modul pentru calculul celui mai mare divizor comun (cmmdc).
- 2.10.10 Exemple de la seminar si laborator

3. Dispozitive reconfigurabile.

- 3.1. Introducere.
- 3. 2. Arii/Rețele de Porți Logice Programabile (Field Programmable Logic Array – FPGA).
- 3. 3. Componentele ariilor programabile de porți logice.
- 3.4 Interconectarea Blocurilor.
- 3.5. FPGA- Organizare Structurală.

3.6 Fluxul proiectarii cu circuite FPGA

4. Detalii privind circuitele FPGA (Field Programmable Gate Array).

4.1. Introducere.

4.2. Circuite logice configurabile.

4.2.1. Multiplexoare.

4.2.2. Tabele asociative (Look Up Tables).

4.2.3. Punctele de memorare.

4.3. Fuzibile si Antifuzibile

4.4. Implementare in DSCH.

5. Intarzierea in circuitele combinationalale, sincronizarea elementelor de memorare a informatiei, calculul perioadei ceasului.

5.1 Intarzierile in circuitele combinationalale

5.1.1. Modelul general al intarzierii in circuitele combinationalale.

5.1.2. Exercitii: Sa se calculeze: TAYhl, TBYlh, TSYlh, TAYhl

5.2. Conventii pentru sincronizarea sistemelor numerice.

5.3. Elemente de memorare cu intrare de ceas.

5.3.1. Latch transparent:

5.3.2. Registru/Bistabil de tip D, comandat pe front:

5.3.3. Realizarea unui Latch.

5.3.4. Variante de realizare a Latch-urilor CMOS statice.

5.3.5. Parametrii sincronizarii/timing-ului latch-ului.

5.4. Proiecte pentru circuitele bistabile:

5.4.1. Parametrii sincronizarii bistabilelor:

5.5. Calculul perioadei ceasului in conditiile comenzii pe front:

5.6. Furnizarea semnalului de ceas.

5.6.1. Cauzele alunecarii ceasului. Modalitati de combatere a acestui fenomen.

5.6.2. Comparatie intre skew si jitter.

5.6.3. Retea de distributie a ceasului.

5.7. Problema 1. Sincronizarea/Timing-ul Latch-ului.

5.8. ANEXA 1. Phase Lock-Loop.

5.9. ANEXA 2. Modelele de sincronizare pentru componentele hardware ale unitatilor centrale.

6. Bazele Aritmetice ale Calculatoarelor Numerice.

6.1 Introducere. Informatia in calculatoarele numerice

6.2. Sisteme de numeratie.

6.2.1. Reprezentarea numerelor.

6.2.2. Conversia numerelor dintr-o baza in alta.

6.2.3. Reprezentarea informatiei numerice in calculatoare.

6.3. Coduri de reprezentare a numerelor intregi, cu semn, in calculatoare.

- Codul direct,
- Codul invers.
- Codul complementar.
- Codul binar-zecimal.
- Codul in exces.

6.4. Terminologia folosita in legatura cu erorile de calcul.

6.5. Reprezentarea numerelor in Virgula Mobila

6.5.1. Reprezentarea numerelor in Virgula Mobila Standardul IEEE 754, Formatul Scurt de Baza.

6.5.2. Reprezentarea numerelor in Virgula Mobila Standardul IEEE 754, Formatul Lung de Baza.

6.6. Erori in reprezentarea numerelor in virgula mobila.

- numarul numerelor reprezentabile;
- numarul care are valoarea/marimea cea mai mare;
- numarul diferit de zero, care are valoare/marimea cea mai mica;
- dimensiunea celei mai mari distante intre doua numere succesive;
- dimensiunea celei mai mici distante intre doua numere succesive;
- erorile relative.

6.7. Coduri alfanumerice: ASCII, EBCDIC, UNICODE.

6.8. Coduri detectoare de erori.

6.9. Coduri corectoare de erori.

7. Operatiile aritmetice.

7.1. Procesorul Aritmetic.

7.1.1. Punctul de vedere al utilizatorului.

7.1.2. Punctul de vedere al proiectantului.

7.2. Operatiile aritmetice in virgula fixa.

- 7.2.1. Adunarea si scaderea.
- 7.2.2. Sumatoare performante.
 - 7.2.2.1. Sumatorul cu transport succesiv.
 - 7.2.2.2. Sumatorul cu intarziere minima.
 - 7.2.2.3. Principiul anticiparii transportului.
 - 7.2.2.4. Sumatorul cu salvare a transportului.
- 7.3. Inmultirea.
 - 7.3.1. Inmultirea in cod direct.
 - 7.3.1.1. Solutie serial - paralela.
 - 7.3.2. Inmultirea numerelor in cod complementar.
 - 7.3.2.1. Algoritmul lui Booth.
- 7.4. Impartirea.
 - 7.4.1. Algoritmul impartirii numerelor reprezentate in complementul fata de doi, cu restaurarea ultimului rest pozitiv.
- 7.5. Operatii aritmetice in virgula mobila.
 - 7.5.1. Schema bloc a unitatii aritmetice in virgula mobila.
 - 7.5.2. Organigrama adunarii/scaderii in virgula mobila.
 - 7.5.3. Organigrama inmultirii in virgula mobila.

7.2. Operatiile Aritmetice in Calculatoarele numerice.

- 7.1. Procesorul Aritmetic.
- 7.2. Operatii Aritmetice in virgula fixa: Adunarea si Scaderea.
 - 7.2.1. Implementarea sumatoarelor:
 - Sumator cu transport succesiv.
 - Sumator cu intarziere minima.
 - Sumator cu transport anticipat.
 - Sumator cu salvare a transportului.
 - 7.3. Operatii Aritmetice in virgula fixa: Inmultirea.
 - Inmultirea in cod direct: solutia paralela, solutia serial-paralela.
 - Inmultirea in cod complementar: solutii directe.
 - Inmultirea in cod direct: metoda lui Booth. Descriere in Verilog.
 - Implementarea hardware
 - 7.4. Operatii Aritmetice in virgula fixa: Impartirea.
 - Metode pentru efectuarea operatiei de impartire.

- Algoritmul impartirii numerelor reprezentate in complementul fata de doi, cu restaurarea ultimului rest pozitiv.

- Implementarea hardware a operatiei de impartire.

7.5. Operatii Aritmetice in virgula mobila: Schema bloc a Unitatii

Aritmetice in Virgula Mobila.

- Organigrama operatiilor de Adunare si Scadere in Virgula Mobila.

- Organigrama operatiei de Inmultire in Virgula Mobila.

8.Arhitectura unui calculator

8.1.Termenii de baza:

- Arhitectura Calculatoarelor
- Organizarea Calculatorului
- Implementarea Calculatorului
- Modelul de executie/operare al unui calculator
- Arhitectura setului de instructiuni
- Caracteristica dimensionala (μm)

8.2.Exemple de Arhitecturi de Seturi de Instructiuni.

8.3. Niveluri de reprezentare/abordare

8.4.Ciclul de Operare

8.5. Evolutia Arhitecturii Setului de Instructiuni: ASI - Clase fundamenta.

8.6. Adresarea Obiectelor: "Endiani" si Aliniere.

- Big Endian
- Little Endian

8.7. Moduri de Adresare (VAX 11/780). Exemple.

8.9. Performanta unui Calculator.

8.9.1.Principii Cantitative in Proiectarea Calculatoarelor. Legea lui Amdahl.

8.9.2.SPEC's.

9. Proiectarea unui procesor didactic.

9.1. Notatia PMS.

9.2.Specificatiile initiale ale procesorului didactic.

9.3.Organizarea procesorului pentru intregi. Schema Bloc.

9.4.Formatele Instructiunilor.

9.5. Tipuri de instructiuni. Exemple.

9.6. Eficienta procesorului:timp UCP, CPI etc..

9.7.Sa se descrie si sa se simuleze in Verilog un fisier de 32 registre generale de cate 32 de biti.

10.Implementarea calculatorului didactic DLX

10.1. Instructiunile DLX descompuse in 5 pasi fundamentali

10.2. Controlul operatiilor.

10.2. Comanda cablata.

10.3. Comanda microprogramata. Formatul microinstructiunii. Semnificatia campurilor.

10.4. Codificarea semnalelor de comanda.

10.5.Intreruperi.

10.5.1.Cauze de intrerupere.

10.5.2. Caracteristicile si tipurile intreruperilor:

10.5.3.Organigrama generala a operatiilor legate de aparitia si recunoasterea unei cereri de intrerupere.

10.6. Organigramele privind operarea Unitatii de Comanda.

10.6.1.Diagrama pentru pasii IF si RD

10.6.2.Diagrama pentru pasii EXE si WB ai instructiunilor de Incarca/Memoreaza si Transfer de date.

10.6.3. Diagrama de stari pentru pasii EXE si WB ai instructiunilor UAL.

10.6.4Diagramele pentru pasii EXE si WB ai instructiunilor SET (4):

10.6.5.Diagramele pentru pasii EXE si WB ai instructiunilor de Salt

10.6.6.Diagramele pentru pasul EXE al Instructiunilor de Ramificare (Branch).

10.7.Performantele comenzii cablate pentru procesorul DLX

10.7.1. Numarul mediu de cicluri pe instructiune CPI: formula, comentarii.