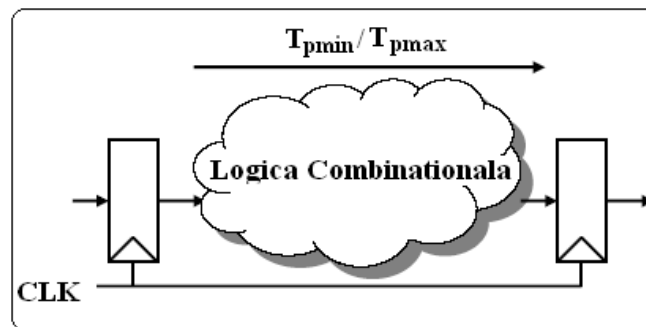


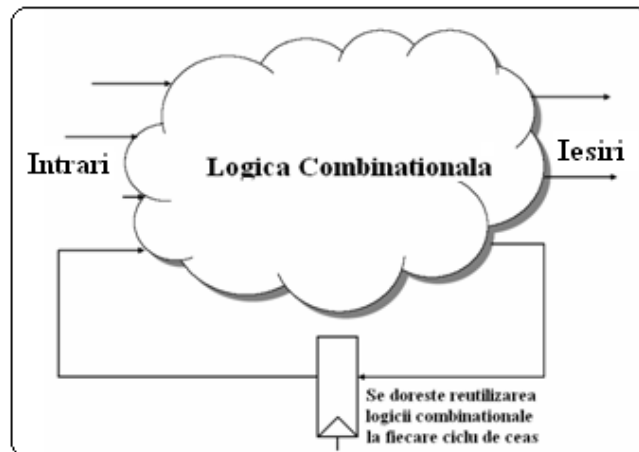
Cursul 5:

Intarzierea in circuitele combinationalale, sincronizarea elementelor de memorare a informatiei, calculul perioadei ceasului.

Prelucrarea informatiei in sistemele de calcul se realizeaza in timpul transferului acesteia de la o sursa/element de memorare la o destinatie/element de memorare, prin intermediul unei logici combinationalale.



Transferul se realizeaza sub controlul unui semnal de ceas. In acest context, adesea, se doreste reutilizarea logicii combinationalale la fiecare ciclu de ceas.



Analiza intarzierii in logica combinationalala, cat si a sincronizarii/timing-ul elementelor de memorare (latch-uri/bistabile) este importanta pentru stabilirea perioadei ceasului si, in ultima instanta, pentru evaluarea performantei sistemului numeric in cauza.

Pentru inceput se vor examina intarzierile in circuitele combinationalale.

Intarzierile in circuitele combinationale

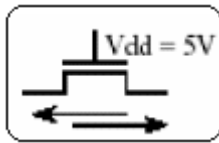
- **Tehnologia CMOS - tehnologia de baza.**

- **CMOS:** Semiconductor Metal Oxid Complementar.

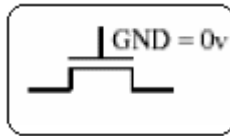
- Tranzistor **NMOS** (Semiconductor Metal Oxid de tip N)
- Tranzistor **PMOS** (Semiconductor Metal Oxid de tip P)

- **Tranzistorul NMOS**

- Tranzistorul conduce daca la poarta lui se aplica un potential electric ridicat (Vdd)

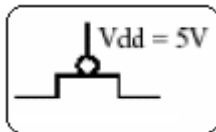


- Tranzistorul este blocat daca la poarta lui se aplica un potential electric coborat (GND)

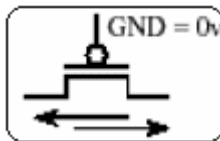


- **Tranzistorul PMOS**

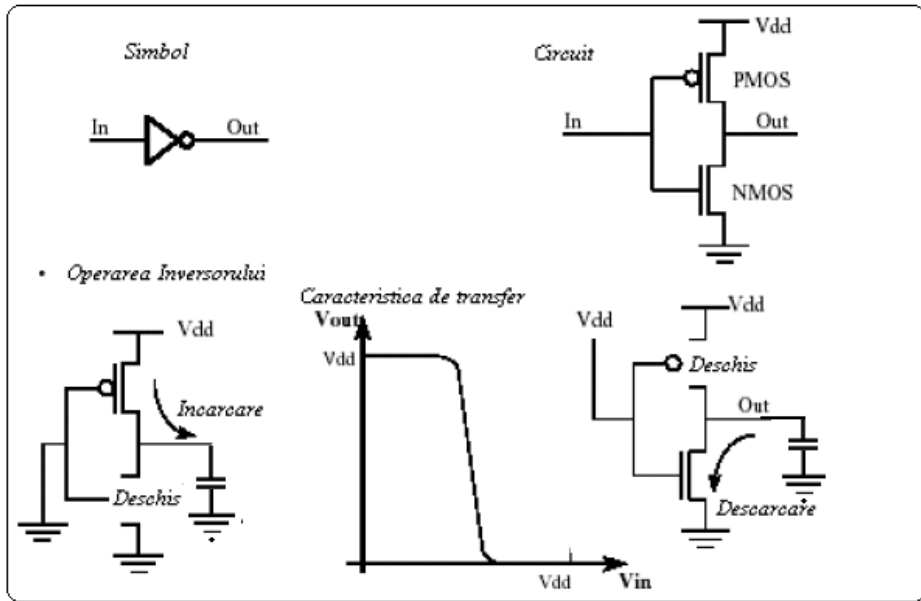
- Tranzistorul este blocat daca la poarta lui se aplica un potential electric ridicat (Vdd)



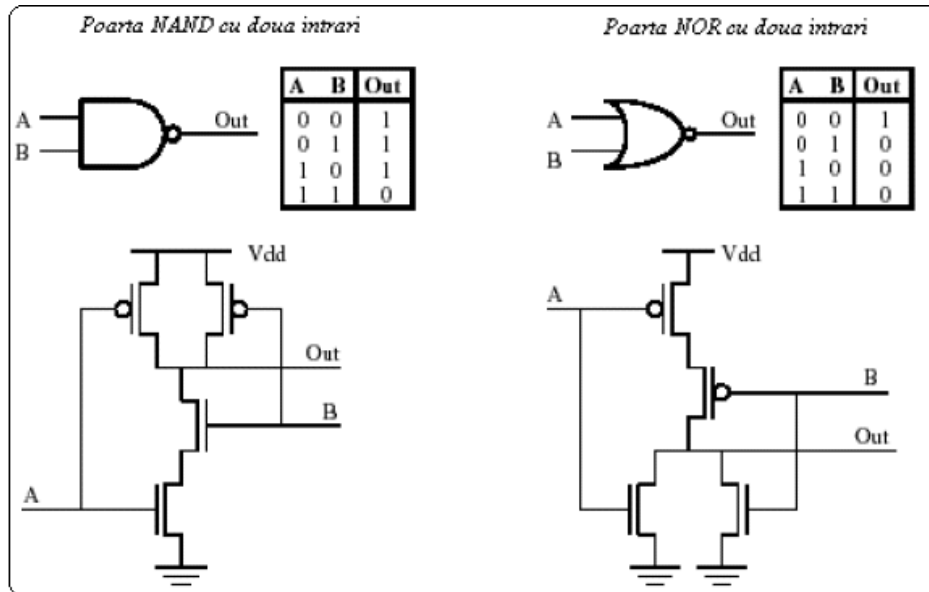
- Tranzistorul conduce daca la poarta lui se aplica un potential electric coborat (GND)



• Componentele de baza: Inversorul CMOS



• Porti logice: comparatie_



a) Daca tranzistoarele PMOS sunt rapide:

- se recomanda conectarea lor in serie
- se prefera poarta NOR

- se prefera, de asemenea, NOR daca tranzitia H→L este mai critica decat tranzitia L→H.

b) Daca tranzistoarele NMOS sunt rapide:

- se recomanda conectarea lor in serie
- se prefera poarta NAND
- se prefera, de asemenea, NAND daca tranzitia L→H este mai critica decat tranzitia H→L.

• **Comportarile ideala si reala.**

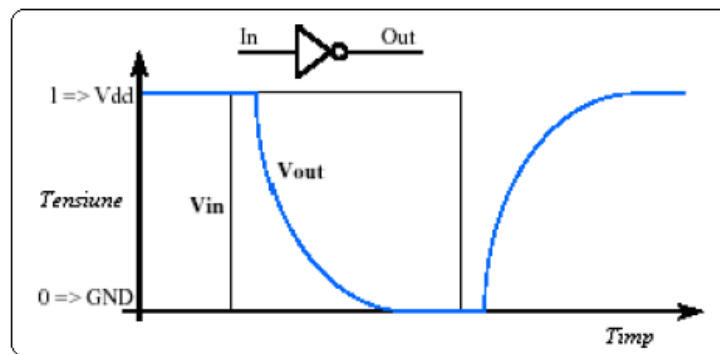
a) Cand intrarea 0 → 1, iesirea 1 → 0, dar NU instantaneu.

- Iesirea efectueaza tranzitia 1 → 0 : tensiunea de iesire tranziteaza de la Vdd (5V) la 0V.

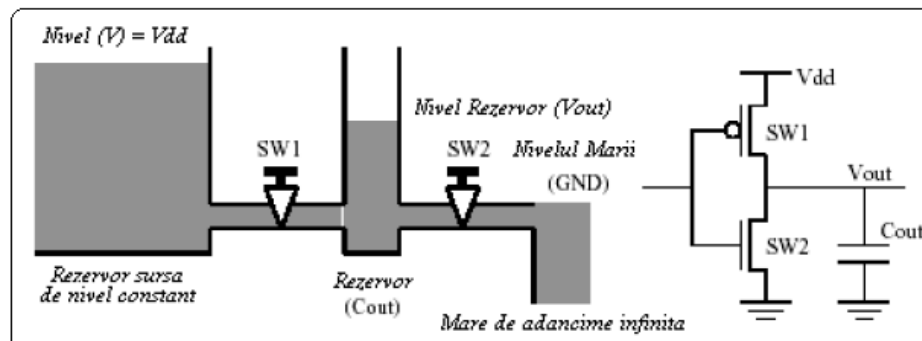
b) Cand intrarea 1 → 0, iesirea 0 → 1 dar NU instantaneu.

- Iesirea efectueaza tranzitia 0 → 1 : tensiunea de iesire tranziteaza de la 0V la Vdd (5V).

c) Tensiunea nu se modifica instantaneu.

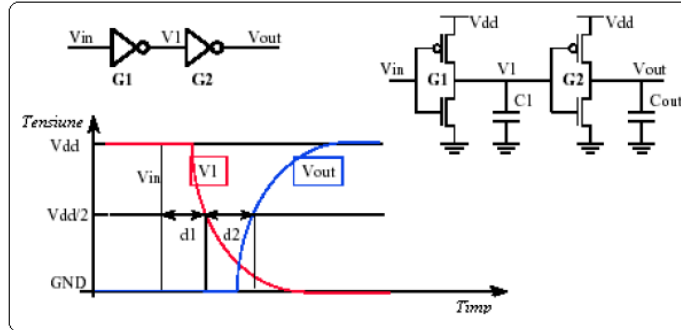


• **Analogia temporală cu fluidul.**



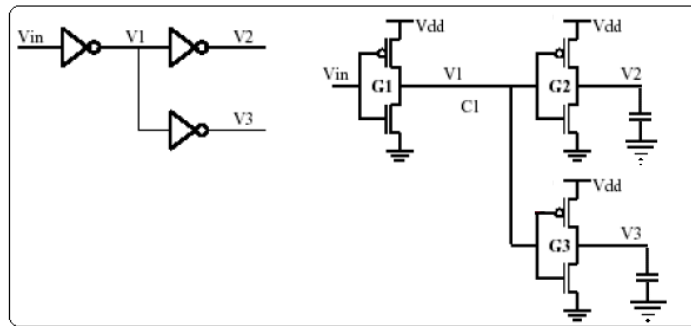
- Apa ↔ Sarcina Electrica; Capacitatea Rezervorului ↔ Capacitatea (C).
- Nivelul Apei ↔ Tensiunea; Debitul Apei ↔ Curentul (Sarcina/Timp).
- Dimensiunea Conductelor; Conductanta Tranzistoarelor (G).
- Timpul de umplere a rezervorului este proportional cu C/G.

• **Conectarea in serie a portilor.**



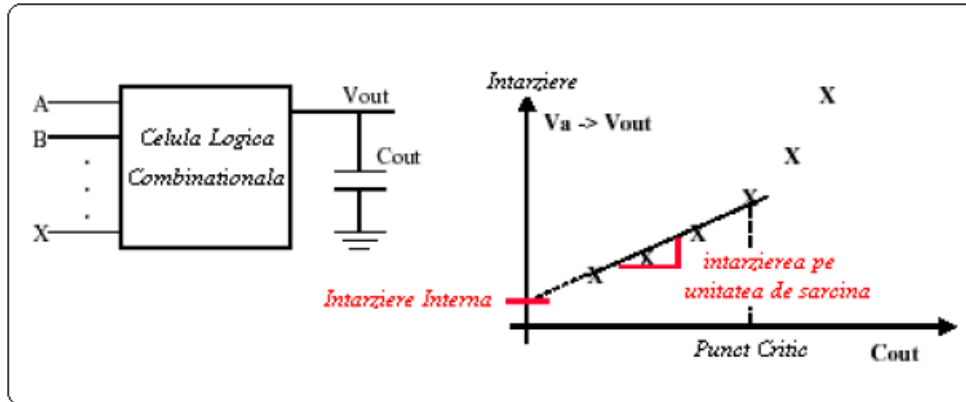
- Intarzierea Totala de propagare = Suma Intarzierilor Individuale = $d1 + d2$
- Capacitatea C1 are doua componente:
 - Capacitatea firelor care leaga cele doua porti
 - Capacitatea de intrare a celui de-al doilea inversor.

• **Calculul intarzierilor.**



- Suma intarzierilor pe caile seriale
- Intarzierea ($V_{in} \rightarrow V2$) \neq Intarzierea ($V_{in} \rightarrow V3$)
 - Intarzierea ($V_{in} \rightarrow V2$) = Intarzierea ($V_{in} \rightarrow V1$) + Intarzierea ($V1 \rightarrow V2$)
 - Intarzierea ($V_{in} \rightarrow V3$) = Intarzierea ($V_{in} \rightarrow V1$) + Intarzierea ($V1 \rightarrow V3$)
- Drumul Critic = Calea cea mai lunga dintre cele N cai paralele
- $C1 =$ Capacitatea C a firelor + C_{in} a portii G2 + C_{in} a portii G3 .

- **Modelul general al intarzierii in circuitele combinationale.**



- O Celula Logica Combinatională (simbol) este complet specificată prin:
 - Comportarea funcțională (intrare → ieșire):
Tabele de adevăr, ecuații logice, VHDL, Verilog etc.
 - Factorul de încărcare pentru fiecare intrare.
 - Intarziere critică în propagarea de la fiecare intrare la fiecare ieșire, pentru fiecare tranziție:

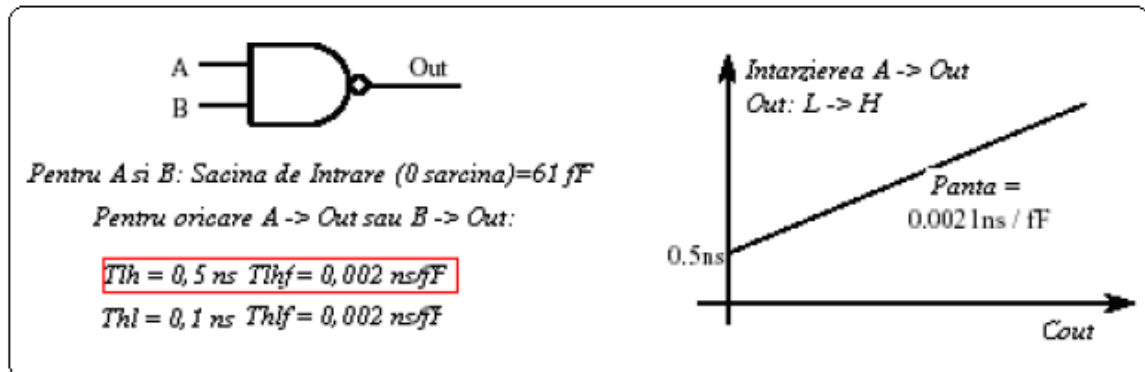
$$T_{HL}(A,O) = \text{Intarzierea internă fixă} + \text{Intarzierea dependentă de sarcină} \times \text{sarcină}$$

- Modelul liniar.

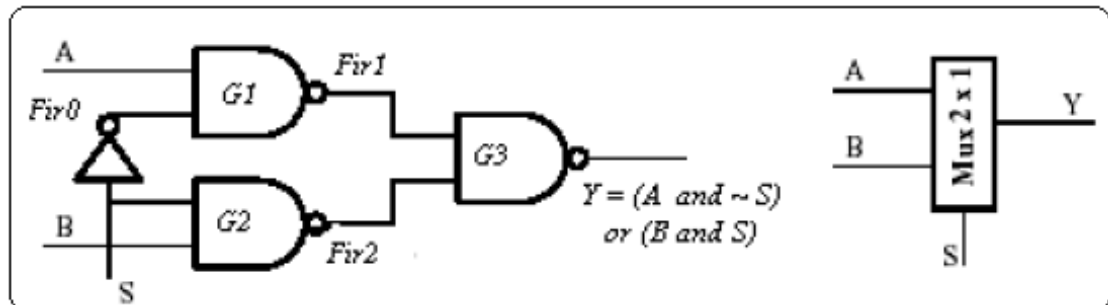
- **Caracterizarea unei porți.**

- Capacitatea de intrare pentru fiecare intrare.
- Pentru fiecare cale intrare-ieșire se consideră,
 - pentru fiecare tip de tranziție: $H \rightarrow L$, $L \rightarrow H$, $H \rightarrow Z$, $L \rightarrow Z$... etc:
 - o Intarzierea internă (ns)
 - o Intarzierea dependentă de sarcină (ns/fF)

- Exemplu: Poarta NAND cu 2 Intrari



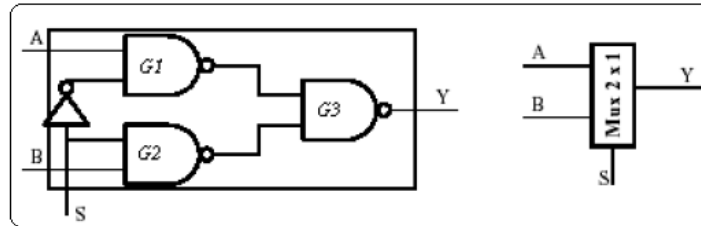
- Exemplu: Multiplexor 2:1.



- Sarcina capacitiva de Intrare (1 S.I.):
 - A,B: S.I. (NAND) = 61 fF
 - S: S.I. (INV) + S.I. (NAND) = 50 fF + 61 fF = 111 fF
- Intarzierea Dependenta de Sarcina (I.D.S.): identica cu cea a portii G3:
 - $T_{AYlhf} = 0,0021 \text{ ns/fF}$ $T_{AYhlf} = 0,0020 \text{ ns/fF}$
 - $T_{BYlhf} = 0,0021 \text{ ns/fF}$ $T_{BYhlf} = 0,0020 \text{ ns/fF}$
 - $T_{SYlhf} = 0,0021 \text{ ns/fF}$ $T_{SYhlf} = 0,0020 \text{ ns/fF}$
- Intarzierea Interna (I.I.):
 - A la Y: $I.I.G1 + (C.Fir1 + S.I.G3) * I.D.S.G1 + I.I.G3$
 - B la Y: $I.I.G2 + (C.Fir2 + S.I.G3) * I.D.S.G2 + I.I.G3$
 - S la Y (cazul cel mai defavorabil): $I.I.Inv + (C.Fir0 + S.I.G1) * I.D.S.Inv + I.I.A \text{ la } Y$
- Efectul "C.Fir1" se poate aproxima prin:

- presupunerea ca Fir1 are o capacitate egala cu capacitatile C ale portilor conectate la el
- Exemflu de calcul al I.I.:
 - $TAYlh = TPhl G1 + (2.0 \cdot 61 \text{ fF}) \cdot TPhlf G1 + TPlh G3 =$
 $= 0.1 \text{ ns} + 122 \text{ fF} \cdot 0,0020 \text{ ns/fF} + 0,5 \text{ ns} = 0,844 \text{ n}$

• **Abstractie: Multiplexor 2:1.**



- Sarcina de Intrare: $A = 61 \text{ fF}$, $B = 61 \text{ fF}$, $S = (50+61) = 111 \text{ fF}$
- Intarzierea dependenta de sarcina:
 - $TAYlhf = 0,0021 \text{ ns/fF}$ $TAYhlf = 0,0020 \text{ ns/fF}$
 - $TBYlhf = 0,0021 \text{ ns/fF}$ $TBYhlf = 0,0020 \text{ ns/fF}$
 - $TSYlhf = 0,0021 \text{ ns/fF}$ $TSYhlf = 0,0020 \text{ ns/fF}$
- Intarzierea Interna:
 - $TAYlh = TPhl G1 + (2.0 \cdot 61 \text{ fF}) \cdot TPhlf G1 + TPlh G3$
 $= 0.1 \text{ ns} + 122 \text{ fF} \cdot 0,0020 \text{ ns/fF} + 0,5 \text{ ns} = 0,844 \text{ ns}$
- Exercitii: Sa se calculeze: $TAYhl$, $TBYlh$, $TSYlh$, $TAYhl$

Observatii:

- $\mu_n \cdot C_{ox} \cdot (W/L)$ reprezinta factorul de amplificare al tranzistorului (β);
- $\mu_n \cdot C_{ox}$ este tipic $(20-30) \times 10^{-6} \text{ A/V}^2$
- μ_n este tipic $(6-9) \times 10^{-2} \text{ m}^2/\text{V}\cdot\text{s}$
- C_{ox} este tipic $(3-4) \times 10^{-4} \text{ F/m}^2$

$$t_f \approx 4C_L / \beta_n V_{DD} \quad t_r \approx 4C_L / \beta_p V_{DD}$$

Daca geometriile celor doua dispozitive N si P sunt identice (acelasi rapoarte W/L)

$t_f \approx t_r / 2$, datorita mobilitatii mai mari a electronilor in raport cu golurile ($\mu_n \approx 2\mu_p$). Astfel, pentru a avea timpii de crestere si cadere egali este necesar ca W_p sa fie de 2-3 mai mare decat W_n .

Un alt parametru comun este intarzierea pe poarta care poate fi definit din timpii de crestere si cadere dupa cum urmeaza:

$$\tau_{med} \approx (t_r + t_f) / 4.$$

Acest parametru este important in simulatoarele care incorporeaza timpul si comportarea logica.

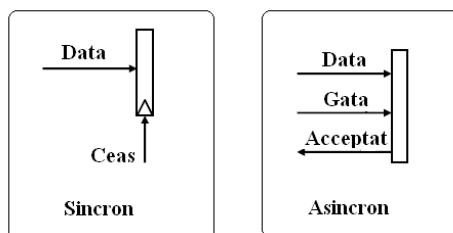
Conventii pentru sincronizarea sistemelor numerice.

Pentru toate sistemele numerice este necesara o conventie in legatura cu momentul in care receptorul/destinatia poate prelua data aplicata la intrarea sa:

- *sistemele sincrone* utilizeaza un semnal de ceas comun;
- *sistemele asincrone* codifica semnalele “data prezenta” (data ready) separat sau impreuna cu semnalele, care constiuite datele.

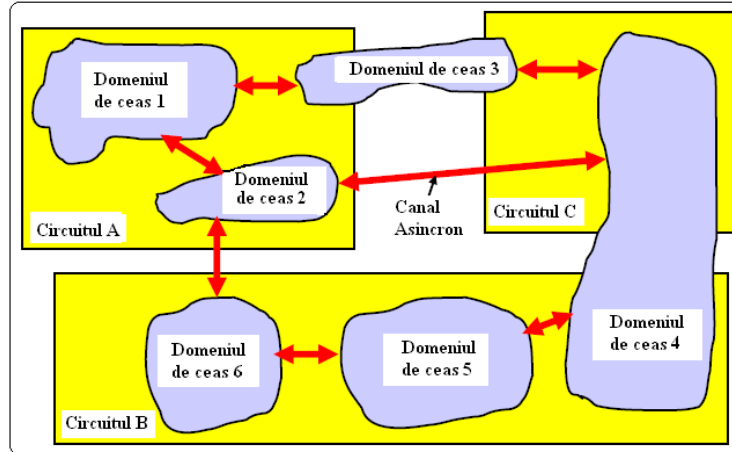
Sistemele numerice necesita o conventie privitoare la momentul la care emitatorul poate transmite in siguranta (in legatura cu posibilitatea receptiei) o alta data/informatie catre receptor:

- *sistemele sincrone*: la urmatorul front al semnalului de ceas (dupa *timpul de mentinere/hold time*);
- *sistemele asincrone*: dupa emiterea de catre receptor a semnalului *acceptat/acknowledge*



Sistemele mari.

Majoritatea ASIC-urilor (Applications Specific Integrated Circuits) si a sistemelor mari realizate cu ajutorul acestora poseda mai multe domenii cu ceas sincron, interconectate prin canale de comunicatii asincrone.

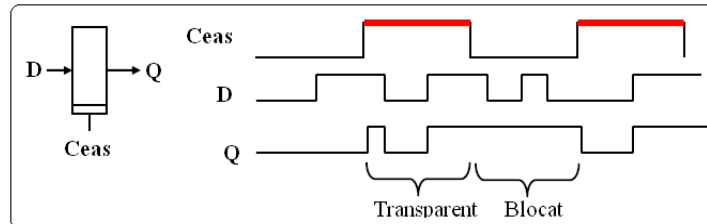


In continuare se va examina un singur domeniu de ceas sincron.

Elemente de memorare cu intrare de ceas.

Latch/”zavor” transparent:

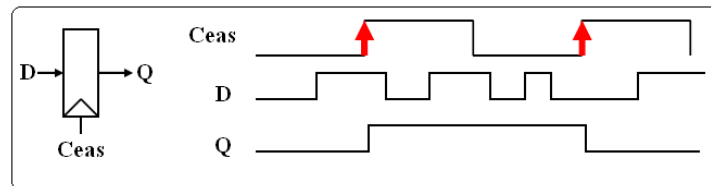
- data traverseaza latch-ul cand semnalul de ceas este pe nivel inalt si este blocat cand ceasul este pe nivel coborat.



- pot exista latch-uri transparente pe semnal de ceas cu nivel coborat.

Registru/Bistabil de tip D, comandat pe front:

- data este stocata/capturata pe frontul crescator al semnalului de ceas si memorata pe restul ciclului:

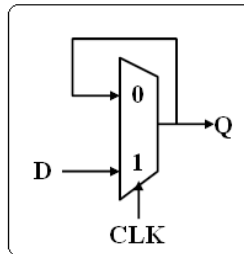


- pot exista registre/bistabile comandate pe frontul negativ al semnalului de ceas.

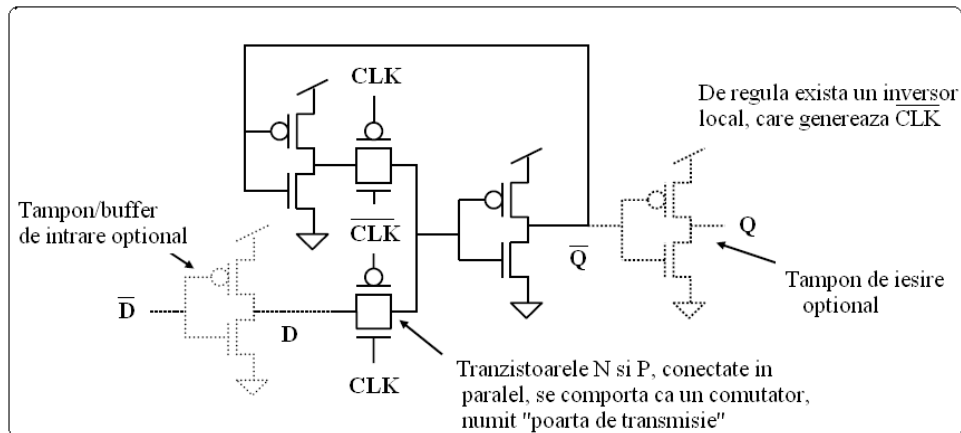
Realizarea unui Latch.

Latch-ul reprezinta un multiplexor pentru care semnalul de selectie este semnalul de ceas.

Acesta din urma selecteaza fie, data aplicata la intrare, fie data de la iesire:

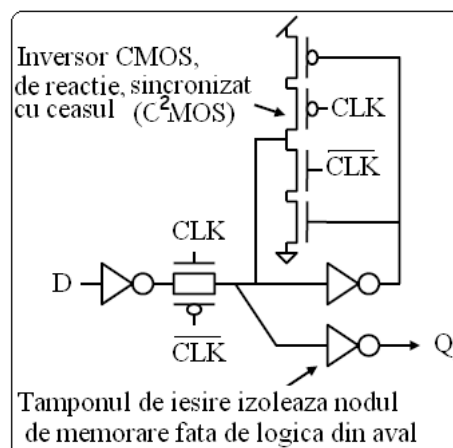


Realizarea unui Latch CMOS, cu ajutorul portilor de transmisie:



Variante de realizare a Latch-urilor CMOS statice.

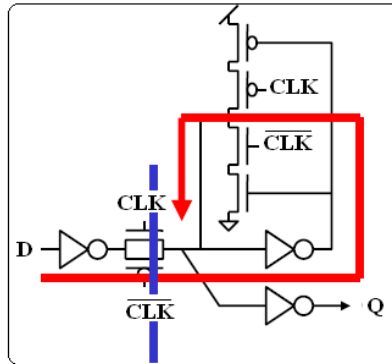
- Varianta cea mai buna, mai rapida si mai eficienta din punct de vedere energetic:



- T_{DQmin}/ T_{DQmax} : timpul de propagare a semnalului de la intrare la iesire atunci cand latch-ul este transparent; *de regula este cel mai important parametru de sincronizare a ceasului.*
- $T_{stabilire/setup}/ T_{mentinere/hold}$: definesc o fereastră in jurul frontului posterior al semnalului de ceas pe durata careia data trebuie sa fie stabila pentru a fi esantionata corect.

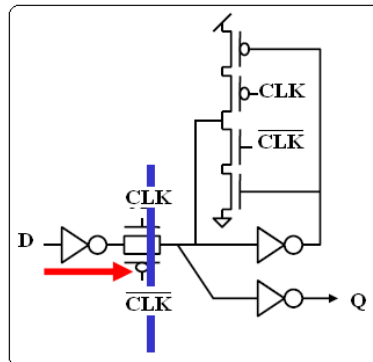
Cursa referitoare la timpul de stabilire:

- Stabilirea/Setup reprezinta cursa privind propagarea noii date pe bucla de reactie inainte ca ceasul sa inchida poarta de la intrare; mai jos se examineaza calea pentru semnalul de date:



Eroarea privind timpul de stabilire:

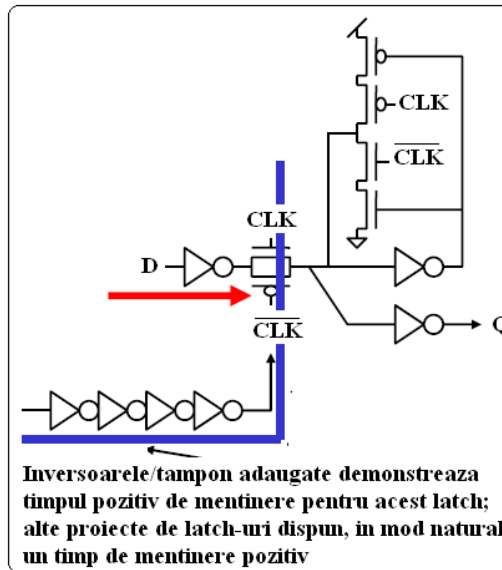
- Daca data soseste prea aproape de frontul semnalului de ceas, aceasta nu va avea suficient timp sa parcurga bucla de reactie inainte ca semnalul de ceas sa blocheze intrarea portii de transmisie.



Cursa privind timpul de mentinere:

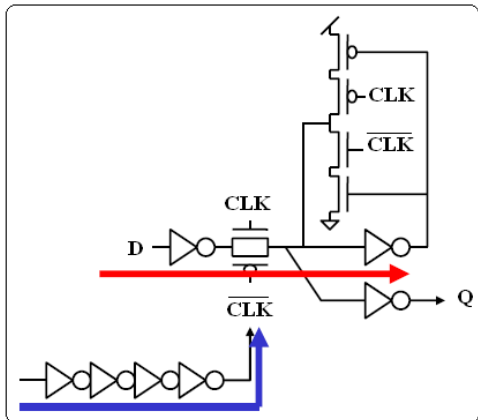
- Timpul de mentinere reprezinta cursa pentru semnalul de ceas privitoare la inchiderea portii de intrare inainte ca urmatorul ciclu al datei de la intrare sa perturbe valoarea stocata.

Mai jos se urmareste calea semnalului de ceas:



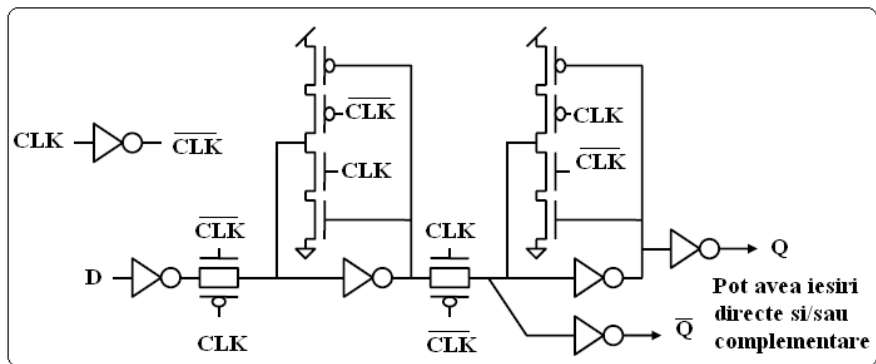
Eroarea privind timpul de mentinere:

- Daca data se modifica prea repede dupa frontul semnalului de ceas, acesta din urma poate nu a avut la dispozitie suficient timp pentru a bloca poarta de intrare astfel, noua data va corupe bucla de reactie.



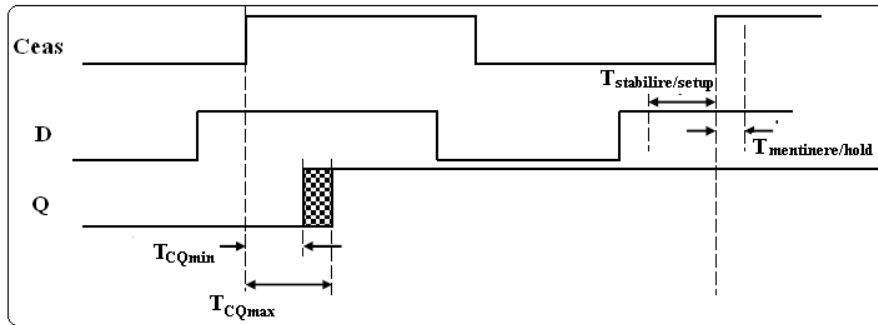
Proiecte pentru circuitele bistabile:

- Latch-urile de tip “master-slave”, prevazute cu porti de transmisie sunt extrem de mult utilizate in structurile ASIC, intrucat: sunt robuste, sunt eficiente din punct de vedere energetic si au valori convenabile pentru parametrii sincronizarii;
- Exista si alte solutii pentru realizarea bistabilelor in afara celei amintite mai sus; acestea se bazeaza pe parametri de sincronizare mai putin comuni si se regasesc in dispozitivele personalizate, la cerere.

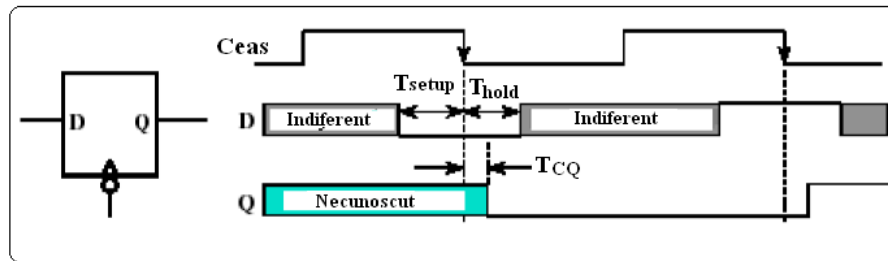


Parametrii sincronizarii bistabilelor:

Mai jos se prezinta doua diagrame temporale/cronograme, care evidentiaza parametrii care intervin in sincronizarea bistabilelor comandate pe frontul pozitiv si pe frontul negativ:

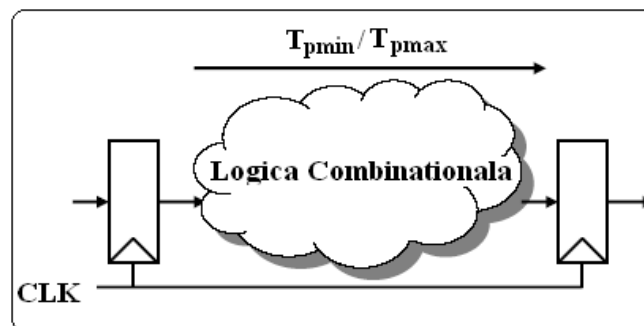


- T_{CQmin}/ T_{CQmax} : timpul de propagare a semnalului de la intrare la iesire, in raport cu frontul semnalului de ceas;
- $T_{stabilire/setup}/ T_{mentinere/hold}$: definesc fereastra din jurul frontului ceasului pe durata careia data trebuie sa fie stabila, pentru a fi esantionata corect.



Calculul perioadei ceasului in conditiile comenzii pe front:

- Cel mai frecvent stil de proiectare a ASIC-urilor se bazeaza pe un semnal de ceas monofazic si pe registre comandate pe front:



- **Restricția pentru drumul cel mai lung sau calea cea mai lentă:**

$$T_{\text{ciclu}} \geq T_{\text{CQmax}} + T_{\text{pmax}} + T_{\text{stabilire/setup}}$$

funcționează întotdeauna pentru calea cea mai lentă folosind un ceas mai lent.

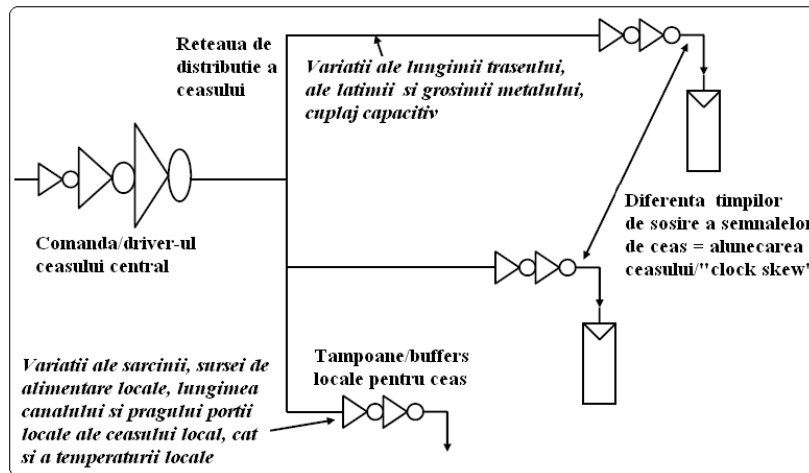
- **Restricția pentru drumul cel mai scurt/calea cea mai rapidă:**

$$T_{\text{CQmin}} + T_{\text{pmin}} \geq T_{\text{menținere/hold}}$$

dacă această restricție nu este îndeplinită trebuie să se refacă proiectul, prin introducerea unei întârzieri pe căile corespunzătoare, pentru a satisface timpul de menținere/hold.

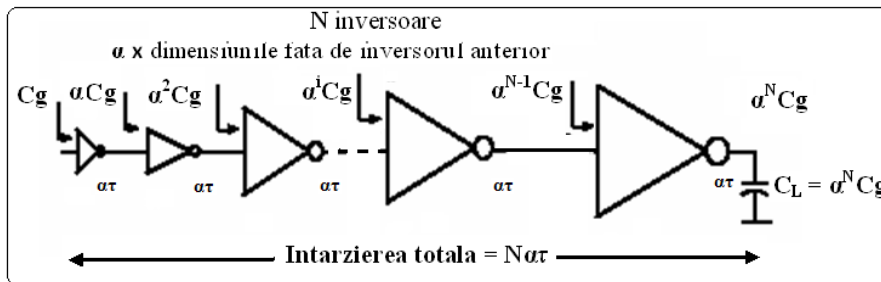
Furnizarea semnalului de ceas:

- Semnalul de ceas nu poate fi distribuit în același moment la toate bistabilele din circuit.



Observație referitoare la comanda sarcinilor capacitive mari în timp minim:

Sarcina capacitivă mare C_L trebuie comandată în timp minim de către un inversor cu capacitatea grilei C_g . În scopul creșterii curentului de încărcare/descărcare al C_L , acesta trebuie comandat de către un inversor cu dimensiuni mari.



Daca sarcina capacitiva a unui inversor elementar, cu capacitatea de grila C_g si cu o intarziere elementara τ , este αC_g , atunci intarzierea acestuia va creste la $\alpha\tau$. Un inversor cu capacitatea grilei $\alpha.C_g$ se obtine prin marirea dimensiunilor inversorului elementar cu factorul α .

Astfel, pe un lant de N inversoare, ale caror dimensiuni, unul fata de altul, cresc cu factorul α :

$$\text{Intarzierea totala} = N.\alpha.\tau.$$

Se considera ca sarcina capacitiva:

$$C_L = \alpha.N.C_g$$

Se doreste comanda sarcinilor capacitive in timp minim:

$$\text{Intarzierea totala} = \tau.(\alpha/\ln\alpha).\ln(C_L/C_g)$$

Intarzierea minima se obtine minimizand expresia: $(\alpha/\ln\alpha)$, fapt care are loc pentru $\alpha = e$.

$$\text{Intarzierea minima} = \tau.e.\ln(C_L/C_g)$$

Pentru un raport $C_L/C_g = 10^3$ se obtine un $N \approx 7$.

Cauzele alunecarii ceasului. Modalitati de combatere a acestui fenomen.

- Alunecarea sistematica a ceasului datorita variatiilor in procesul de productie pot fi in mare masura ajustate folosind circuite specializate adecvate (*deskewing circuitry*); au fost observate in cadrul unor circuite alunecari $< 50\text{ps}$.
 - Sursele principale ale alunecarilor reziduale: modificarile temperaturii (frecventa joasa) si zgomotul in sursele de alimentare (frecventa inalta).
 - Zgomotul din sursele de alimentare afecteaza intarzierea in tamponul/buffer-ul ceasului si frecventa PLL-ului; adesea alimentarea pentru PLL este asigurata prin terminale separate; drivere-le pentru ceas asigura o capacitatea importanta de decuplare locala.

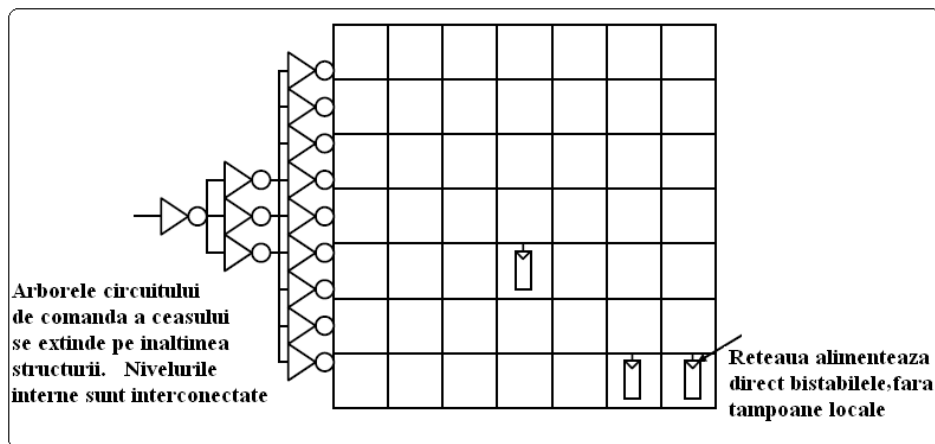
Comparatie intre skew si jitter:

- **Skew-ul** reprezinta o variatie spatiala a timpilor de sosire a semnalelor de ceas: variatia in ceea ce priveste *acelasi* front de ceas, vazut de catre doua sau mai multe bistabile *diferite*.

- **Jitter-ul** constituie variatia temporală a timpilor de sosire: variatia în ceea ce privește timpii de sosire a două fronturi succesive ale semnalului de ceas la *acelasi* bistabil.
- Zgomotul sursei de alimentare reprezintă cauza principală a fenomenului jitter.
- În continuare incertitudinea în ceea ce privește sincronizarea se va numi pe scurt “*skew*” sau *alunecare*.

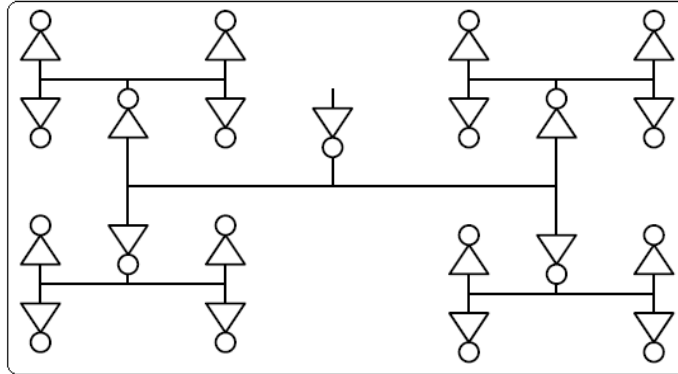
Retea de distribuție a ceasului.

- O modalitate pentru obținerea unei alunecări reduse constă în utilizarea unei rețele/grile metalice, care este amplasată pe întreaga structură a circuitului (Alpha 21064).
- O alunecare redusă presupune: putere mare pentru semnalul de ceas și neasantonarea acestuia.



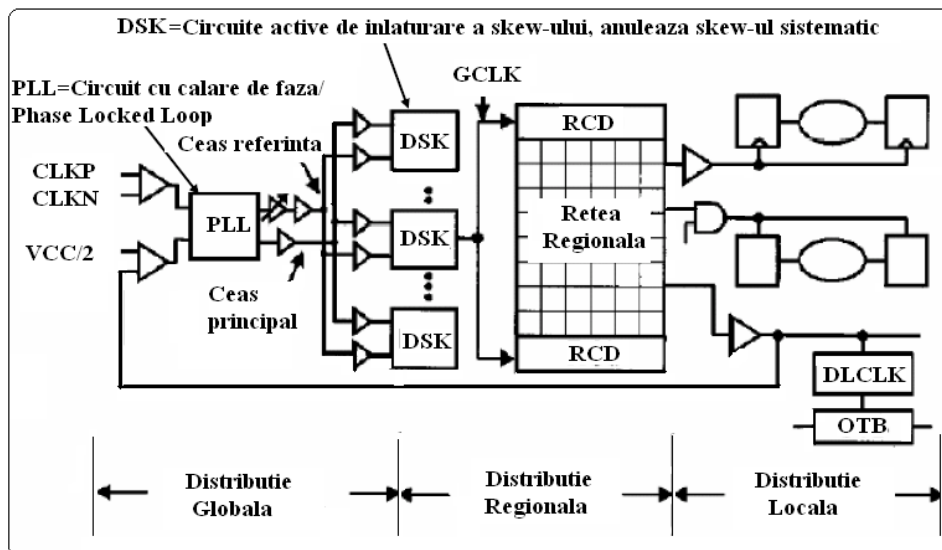
Arbori H de distribuție a ceasului:

- Aceștia reprezintă forme recursive pentru distribuția uniformă a semnalului de ceas, cu întârzieri egale pe arii corespunzătoare



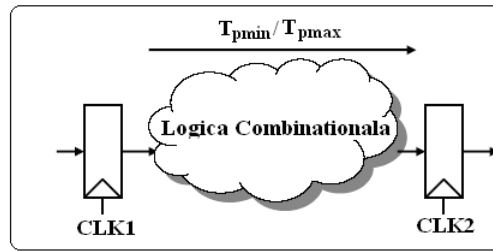
- Consuma mai putina putere decat reseaua, dar se caracterizeaza printr-o alunecare mai mare.
- In practica este utilizat un arbore aproximativ H, la nivelul superior (trebuie sa se plaseze in jurul blocurilor functionale), cu tamponare/buffer-e locale pentru regiunile comandate.

Distribuirea ceasului in microprocesorul Intel Itanium.



Sincronizarea – Rezumat:

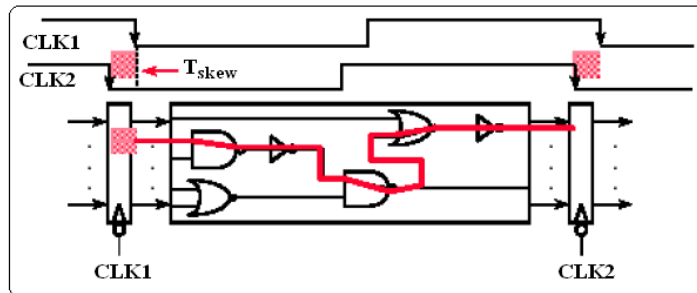
Alunecarea trebuie sa intre in bugetul de timp.



- *Restricția pentru drumul cel mai lung sau calea cea mai lentă:*

$$T_{ciclu} \geq T_{CQmax} + T_{pmax} + T_{stabilire/setup} + T_{alunecare/skew}$$

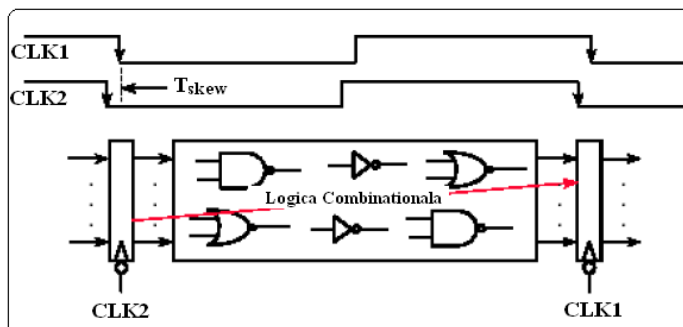
Cazul cel mai defavorabil apare când CLK2 sosește mai devreme/mai târziu decât CLK1.



- *Restricția pentru drumul cel mai scurt/calea cea mai rapidă:*

$$T_{CQmin} + T_{pmin} \geq T_{mentinere/hold} + T_{alunecare/skew}$$

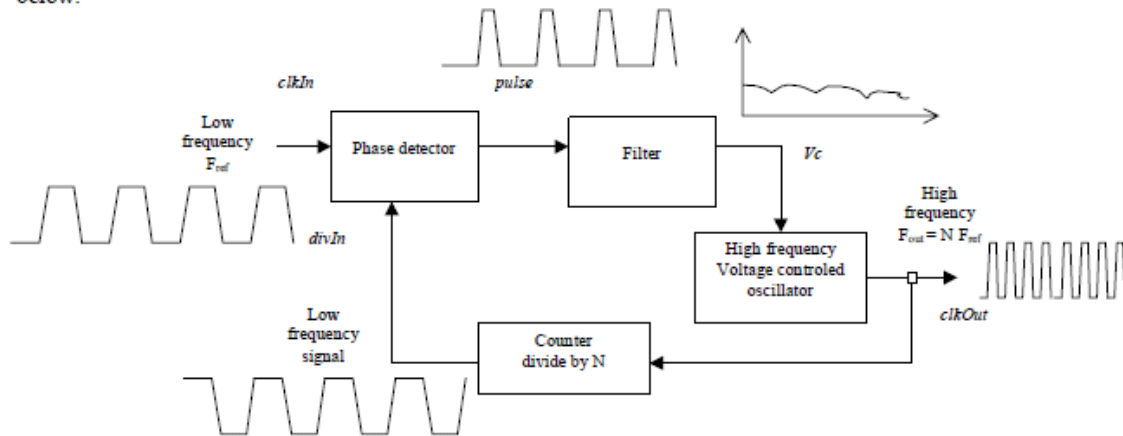
Cazul cel mai defavorabil apare când CLK2 sosește mai devreme/mai târziu decât CLK1.



ANEXA 1*):

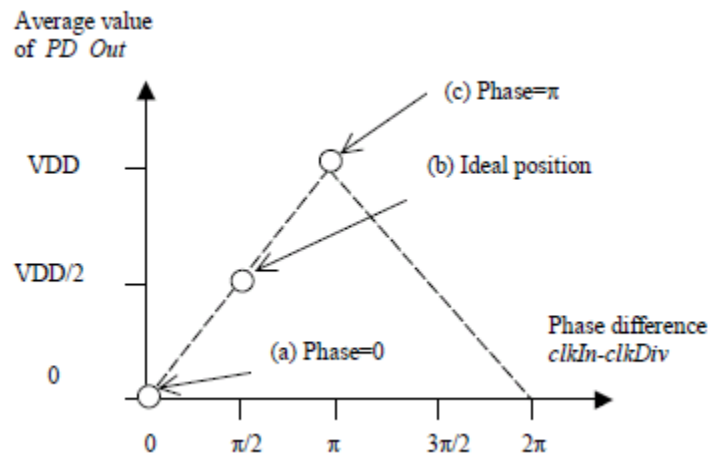
Phase-Lock Loop

The phase-lock-loop (PLL) is commonly used in microprocessors to generate a clock at high frequency ($F_{out}=2\text{GHzMHz}$ for example) from an external clock at low frequency ($F_{ref} = 100\text{MHz}$ for example). The PLL uses a counter, which divides a high input frequency F_{out} into a low output frequency (divide by 32 in the example), which is tuned to fit exactly with the reference frequency F_{ref} . The basic schematic diagram of this function is reported below.



PHASE DETECTOR

The most simple phase detector is the XOR gate. The XOR gate output produces a regular square oscillation PD_Out when the input $clkIn$ and the signal $divIn$ have one quarter of period shift (or 90° or $\pi/2$). For other angles, the output is no more regular. In figure 12-xxx, two clocks with slightly different periods are used in Dsch2 to illustrate the phase detection.



*)

Etienne Sicard, Sonia Delmas Bendhia

Deep-submicron CMOS circuit design Simulator in hands

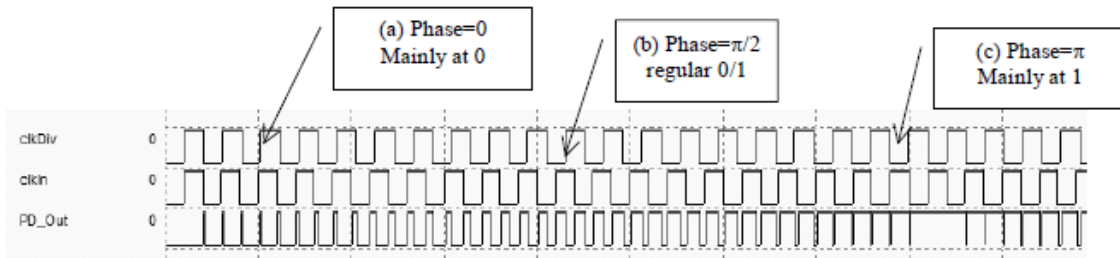


Fig. 12-xxx. The XOR phase detector at work (PhaseDetectXor.SCH)

At initialization, (Figure 12-xxx) the average value of the XOR output PD_Out is close from 0. When the phase between $clkDiv$ and $clkIn$ is around $\pi/2$, the average value of PD_Out is $VDD/2$. Then it increases up to VDD .

At initialization, (Figure 12-xxx) the average value of the XOR output PD_Out is close from 0. When the phase between $clkDiv$ and $clkIn$ is around $\pi/2$, the average value of PD_Out is $VDD/2$. Then it increases up to VDD .

The main problem of the XOR phase detector is that the "ideal" position corresponds to a phase difference of $\pi/2$. In some PLL applications, an other type of phase detector is used, as shown below. The system is in average state when both signals are exactly in phase. The circuit also produce two control signals well fitted for the filter stage described in the next paragraphs.

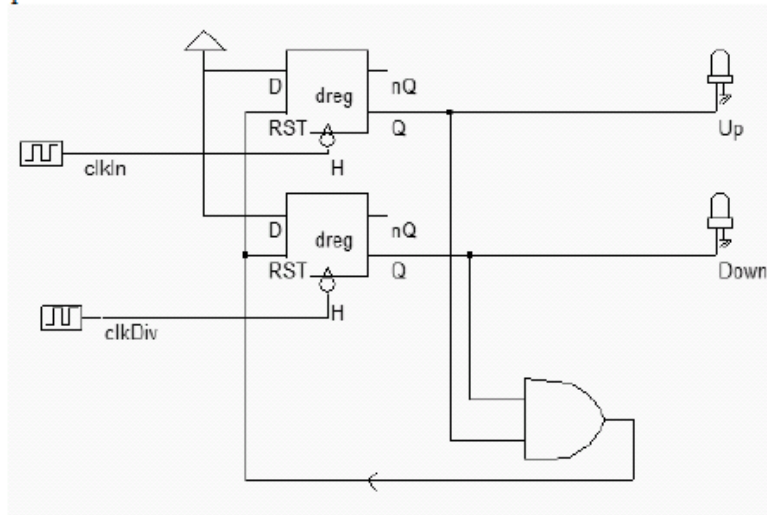


Fig. 12-xxx. The D-Latch phase detector at work (PhaseDetectD.SCH)

FILTER

The filter may simply be a large capacitance C , charged and discharged through the R_{on} resistance of the switch. The $R_{on}C$ delay creates a low-pass filter. Figure 12-xxx shows an XOR gate with output charged with a large poly/poly2 capacitor.

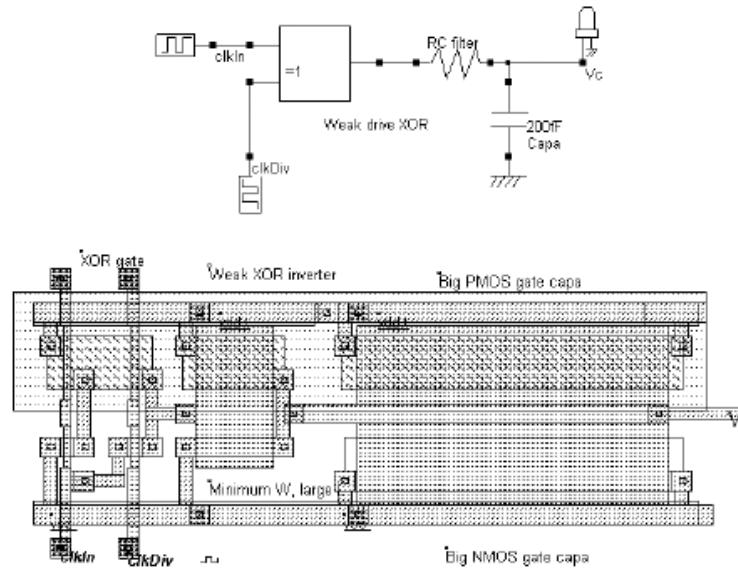


Fig. 12-xxx. Large load capacitance and weak XOR output stage to act as a filter (phaseDetect.MSK)

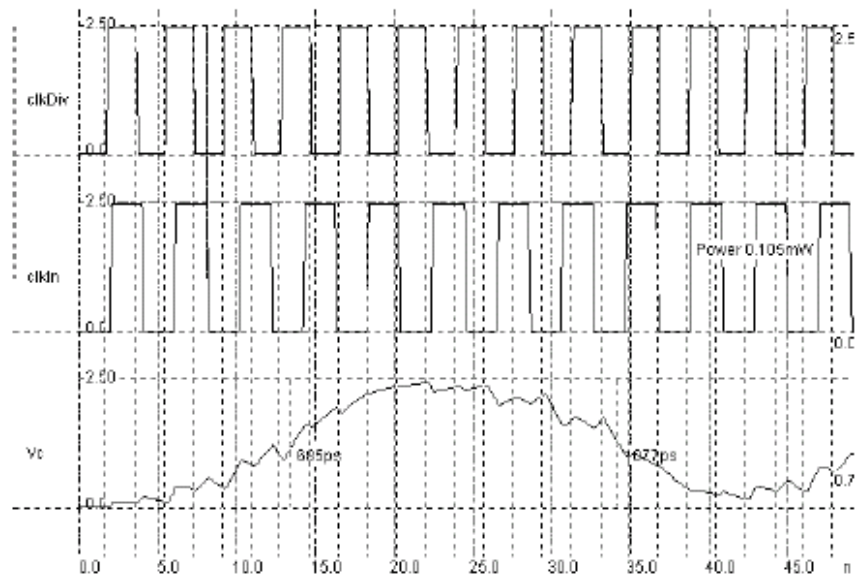


Fig. 12-xxx. Response of the phase detector to slightly different input clocks (phaseDetect.MSK)

In the figure above, the filtered version of the XOR gate output is shown. Although some further filtering are required, it can be seen that V_c is around $V_{DD}/2$ when the phase difference is $\pi/2$ or $-\pi/2$.

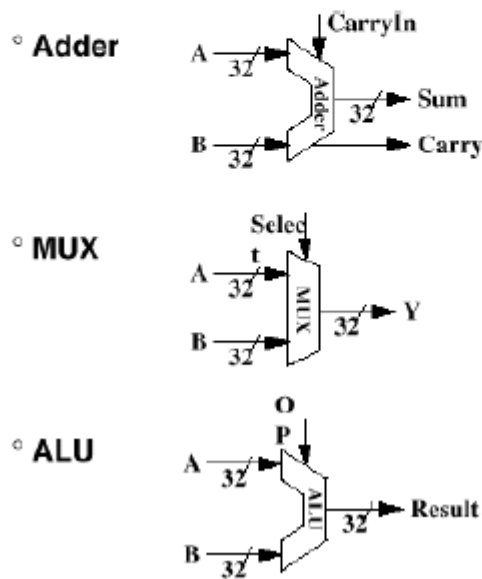
ANEXA 2

Modelele de sincronizare pentru componentele hardware ale unitatilor centrale.

Componentele Unitatii de Executie:

- Elemente combinacionale.
- Elemente de memorare:
 - Metodologia de sincronizare.

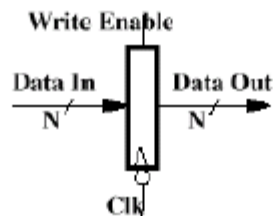
Elementele combinacionale: blocurile constructive de baza.



Elementele de memorare: blocurile constructiv de baza

Registrul

- asemanator cu bistabilului D cu exceptia ca:



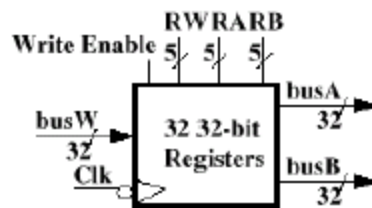
- are intrare si iesire de cate N biti.

- intrare de activare (write enable)
- Activare scriere (write enable):
 - nivel coborât (0): Iesirea de Date (Data Out) nu se va modifica;
 - nivel ridicat (1): Iesirea de Date va lua valoarea Intrării de Date.

Registrele Generale:

Constau în 32 de registre biport (iesire):

- Doua magistrale de iesire de câte 32 de biti: busA și busB
- O magistrala de intrare de 32 de biti: busW
-



- liniile de adrese: RA, RB și RW;
- intrarea de comanda a scrierii: Write Enable;
- intrarea de ceas Clk, activă pe front negativ.

Operația de citire:

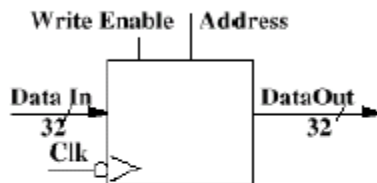
- Se activează liniile de adrese ale registrelor RA și RB;
- După un interval de timp egal cu timpul de acces (latența) datele vor fi disponibile la ieșire pe liniile busA și busB;
- Pe durata operațiilor de citire memoria se comportă ca un bloc combinational.

Operația de scriere:

- Se activează: liniile WR, datele pe liniile busW și semnalul Write Enable;
- Se activează intrarea de ceas, care este efectivă numai în operațiile de scriere.

Memoria Idealizata

- O magistrala de intrare: Data In;
- O magistrala de Iesire: Data Out.



Operatia de citire:

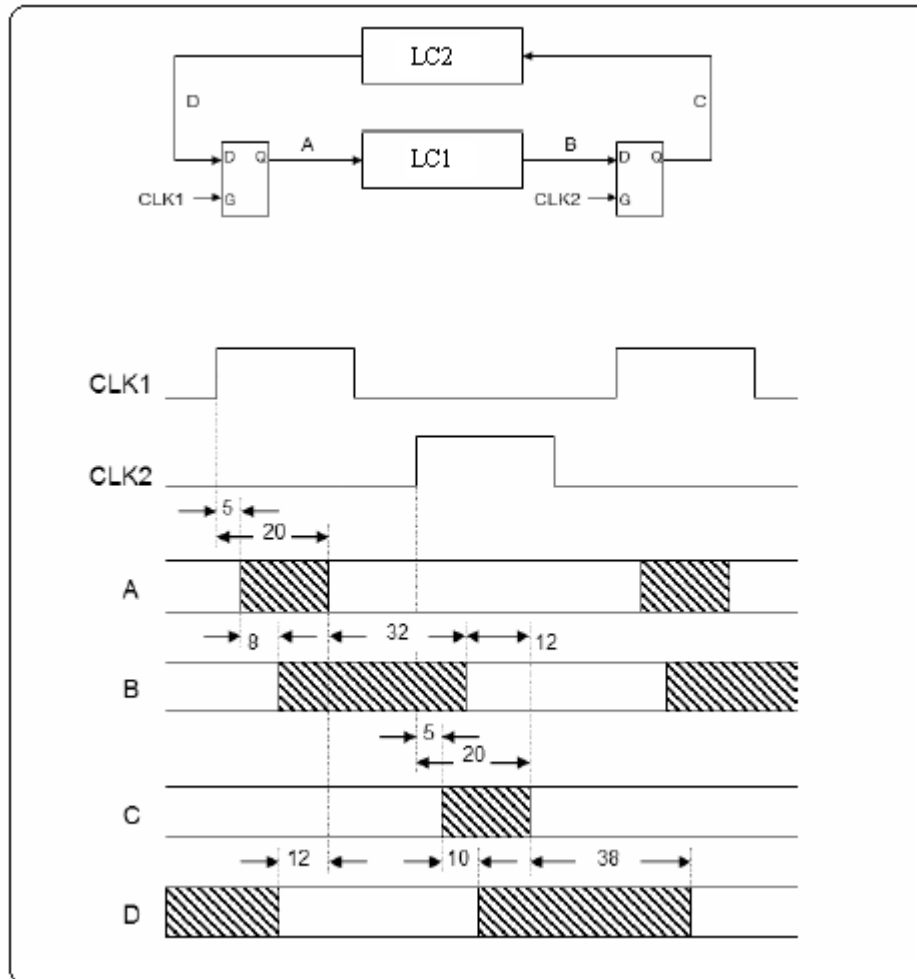
- Se activeaza adresa pe liniile Address;
- Dupa un interval de timp egal cu timpul de acces (latenta) datele vor fi disponibile la iesire pe liniile Data Out;
- Pe durata operatiilor de citire memoria se comporta ca un bloc combinational.

Operatia de scriere:

- Se activeaza: adresa pe liniile Address, datele pe liniile Data In si semnalul Write Enable;
- Se activeaza intrarea de ceas, care este efectiva numai in operatiile de scriere.

Problema 1. Sincronizarea/Timing-ul Latch-ului

Desenul de mai jos prezinta un automat cu stari finite construit din logica combinationala (LC) si Latch-uri D. Proiectantul a stabilit cu multa grija diagrama de timp, cu diferite intervale marcate in picosecunde:



(A) Folosind timpii indicati in diagrama de mai sus completati cat mai multe dintre specificatiile de timp date mai jos. Introduceti "???" daca specificatia nu poate fi determinata din informatia data:

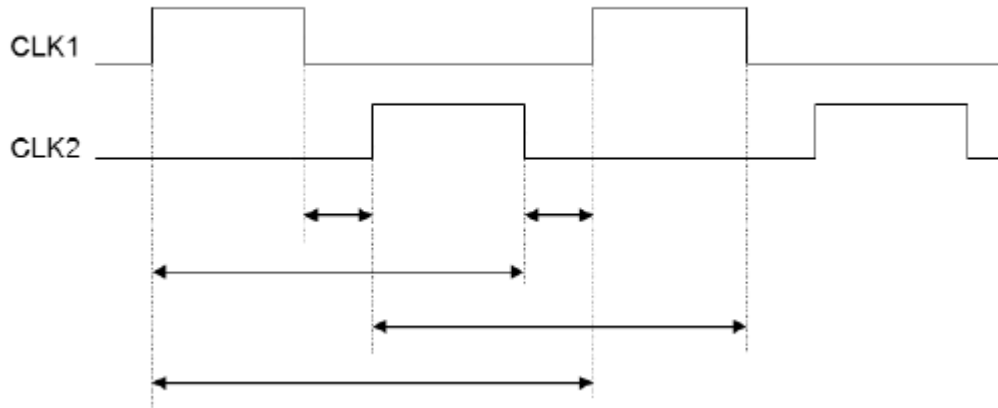
D-latch: TCQMIN = _____ TCQMAX = _____ TDQMIN = _____

TDQMAX = _____

LC1: TPDMIN = _____ TPDMAX = _____

LC2: TPDMIN = _____ TPDMAX = _____

(B) Se considera ca latch-urile D au un Tsetup de 30ps si un Thold de 15 ps si ca exista o alunecare maxima intre cele doua ceasuri Tskew de 10ps, pornind de la diagrama de mai jos.



Raspunsuri:

- A. D-latch: $T_{cqmin} = 5$, $T_{cqmax} = 20$, $T_{dqmin} = ?$, $T_{dqmax} = 12$
 CL1: $T_{pdmin} = 8$, $T_{pdmax} = 32$
 CL2: $T_{pdmin} = 10$, $T_{pdmax} = 38$
- B. CLK1 la CLK2 fara suprapunere $\geq 15 + 10 - (5 + 8) = 10ps$ (calea rapida)
 CLK2 la CLK1 fara suprapunere $\geq 15 + 10 - (5 + 10) = 12ps$ (calea rapida)
 CLK1 pozitiv la CLK2 negativ $\geq 20 + 32 + 30 + 10 = 92ps$
 CLK2 pozitiv la CLK1 negativ $\geq 20 + 38 + 30 + 10 = 98ps$
 perioada $\geq 32 + 12 + 38 + 12 = 94ps$